

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-298591

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

G11C 16/04  
G11C 16/08  
G11C 16/02  
H01L 21/8247  
H01L 27/115  
H01L 29/788  
H01L 29/792

(21)Application number : 2001-100148

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.03.2001

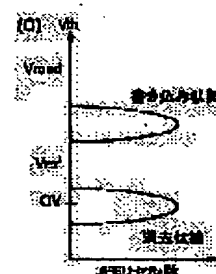
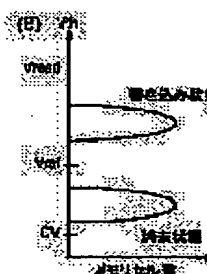
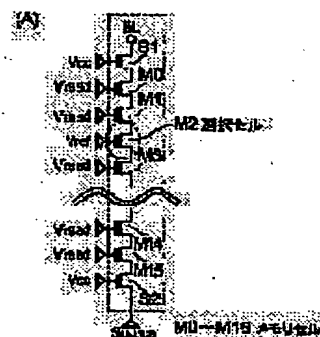
(72)Inventor : AIDA AKIRA  
NOGUCHI MITSUHIRO

## (54) SEMICONDUCTOR MEMORY

## (57)Abstract

**PROBLEM TO BE SOLVED:** To provide a highly integrated semiconductor memory in which read-disturbance is reduced.

**SOLUTION:** This semiconductor memory is provided with: an information accumulating section which has at least one control terminal, in which erase can be performed electrically and which stores discrete data of (n) levels (n: integer of 2 or more); and a plurality of memory elements arranged between at least two current terminals. When the voltage of the control terminal at which a conduction state or a cut off state between the current terminals is switched is assumed to be a threshold value, all of the first to the (n)th discrete threshold voltages decided in the ascending order of the threshold values of (n) levels are higher than the lower voltage out of voltages applied to a current terminal at the time of data read, and lower than the voltage applied to the control terminal at the time of data read.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-298591

(P2002-298591A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	データワード (参考)	
G 1 1 C	16/04	G 1 1 C	17/00	6 2 2 Z 5 B 0 2 5
	16/06			6 3 4 E 5 F 0 8 3
	16/02			6 4 1 5 F 1 0 1
H 0 1 L	21/8247	H 0 1 L	27/10	4 3 4
	27/115		29/78	3 7 1
審査請求 未請求 請求項の数30 O L (全 30 頁) 最終頁に続く				

(21) 出願番号 特願2001-100148(P2001-100148)

(22) 出願日 平成13年3月30日 (2001. 3. 30)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 合田 晃

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 野口 充宏

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

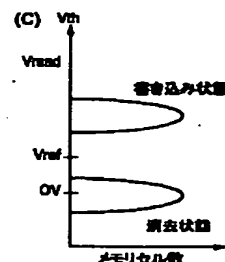
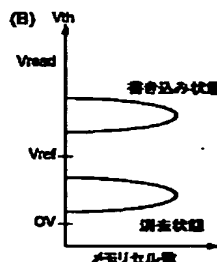
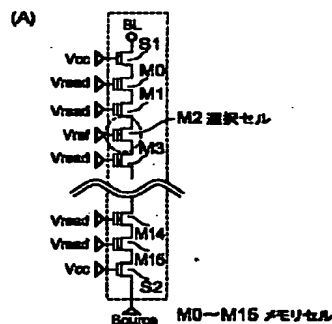
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

## (57) 【要約】

【課題】 リードディスタープ特性を向上させ、高集積化された半導体記憶装置を提供する。

【解決手段】 少なくとも一つの制御端子を有し、電気的に消去可能で、離散的な $n$ 値 ( $n$ は2以上の整数) のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエレメントを複数個備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ のすべての閾値電圧が、データ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて高く、データ読み出し時に前記制御端子に印加される電圧と比べて低いことを特徴とする半導体記憶装置である。



## 【特許請求の範囲】

【請求項1】少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementを複数個備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、

前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ のすべての閾値電圧が、データ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて高く、データ読み出し時に前記制御端子に印加される電圧と比べて低いことを特徴とする半導体記憶装置。

【請求項2】少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementを複数個備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、

前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ のすべての閾値電圧が、データ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて高く、データ読み出し時に前記第 $n$ の閾値電圧よりも高い電圧が印加される前記制御端子を有するメモリエlementを少なくとも一つ備えることを特徴とする半導体記憶装置。

【請求項3】少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に複数個直列に接続されたメモリエlementを備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ のすべての閾値電圧が、データ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて高いことを特徴とする半導体記憶装置。

【請求項4】前記第1乃至第 $n$ のすべての閾値電圧が正であることを特徴とする請求項1乃至3いずれか1項に記載の半導体記憶装置。

【請求項5】少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementを備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧領域に対応させて記憶させ、

第 $m$ ( $m$ は1以上 $n$ 以下の整数)のデータ記憶状態において、閾値電圧がデータ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて、高いメモリエlementと低いメモリエlementをともに備えることを特

徴とする半導体記憶装置。

【請求項6】少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementを複数個備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧領域に対応させて記憶させ、

10 データ読み出し時に前記第 $n$ の閾値電圧より高い電圧が印加される前記制御端子を有するメモリエlementを少なくとも一つ備え、第 $m$ ( $m$ は1以上 $n$ 以下の整数)のデータ記憶状態において、閾値電圧がデータ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて、高いメモリエlementと低いメモリエlementをともに備えることを特徴とする半導体記憶装置。

【請求項7】少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に複数個直列に接続されたメモリエlementを備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧領域に対応させて記憶させ、

25 第 $m$ ( $m$ は1以上 $n$ 以下の整数)のデータ記憶状態において、閾値電圧がデータ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて、高いメモリエlementと低いメモリエlementをともに備えることを特徴とする半導体記憶装置。

30 【請求項8】データ読み出し時に選択されたメモリエlementの制御端子に、データ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて高い電圧が印加されることを特徴とする請求項1乃至7いずれか1項に記載の半導体記憶装置。

35 【請求項9】前記データ読み出し時に電流端子に印加される電圧のうち低い方の電圧が0Vであることを特徴とする請求項1乃至8いずれか1項記載の半導体記憶装置。

【請求項10】離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶可能であり、前記第1乃至第 $n$ のすべてのデータ記憶状態において負の電荷が蓄積され、かつ、電氣的に消去可能な情報蓄積部と、少なくとも一つの制御端子を有するメモリエlementを備えることを特徴とする半導体記憶装置。

45 【請求項11】離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶可能であり、かつ、電氣的に消去可能な情報蓄積部と、少なくとも一つの制御端子を有するメモリエlementが複数個設けられていて、前記 $n$ 値のデータを蓄積された電荷の正の電荷量の多い順に第 $n$ 乃至第1のデータ記憶状態に対応させたとき、

第 $m$  ( $m$ は1以上 $n$ 以下の整数)のデータ記憶状態において、前記情報蓄積部に正の電荷が蓄積されているメモリエlementと、前記情報蓄積部に負の電荷が蓄積されているメモリエlementとをともに備えることを特徴とする半導体記憶装置。

【請求項12】少なくとも一つの制御端子と、電氣的に消去可能で、離散的な $n$ 値 ( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有する、少なくとも二つの電流端子間に配置されたメモリエlementを備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ のすべての閾値電圧が、情報蓄積部の電荷がゼロのときの閾値電圧よりも高いことを特徴とする半導体記憶装置。

【請求項13】少なくとも一つの制御端子と、電氣的に消去可能で、離散的な $n$ 値 ( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有する、少なくとも二つの電流端子間に配置されたメモリエlementを複数個備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とし、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧に対応させると、

第 $m$  ( $m$ は1以上 $n$ 以下の整数)のデータ記憶状態における閾値電圧が、情報蓄積部の電荷がゼロのときの閾値電圧よりも高いメモリエlementと低いメモリエlementとをともに備えることを特徴とする半導体記憶装置。

【請求項14】少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値 ( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementと、このメモリエlementと電流端子を共有して配置され、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ のすべての閾値電圧よりも低い閾値電圧を有する選択elementとを備えることを特徴とする半導体記憶装置。

【請求項15】少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値 ( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置された複数個のメモリエlementと、このメモリエlementと電流端子を共有して選択elementが配置され、

前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値として前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧に対応させると、第 $m$  ( $m$ は1以上 $n$ 以下の整数)のデータ記憶状態における閾値電圧が、前記選択elementの閾値電圧よりも高いメモリエlementと、前記選択elementの閾値電圧よりも低いメモリエlementとを

もに備えることを特徴とする半導体記憶装置。

【請求項16】前記 $m$ は1であることを特徴とする請求項6、7、11、13、又は15いずれか1項記載の半導体記憶装置。

05 【請求項17】少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値 ( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementと、このメモリエlementと電流端子を共有して配置され、  
10 データ読み出し時にメモリエlementの制御端子に与えられる電位と同じ電位が印加される制御端子を有する選択elementとを備えることを特徴とする半導体記憶装置。

【請求項18】前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とし、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧に対応させると、  
前記選択elementのゲート端子にデータ読み出し時に与えられる電位が、前記メモリエlementの第 $k$  ( $k$ は  
20 1以上 $n-1$ 以下の整数)の閾値電圧より高く、かつ、第 $k+1$ の閾値電圧より低いことを特徴とする請求項17記載の半導体記憶装置。

【請求項19】前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とし、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧に対応させると、  
前記選択elementのゲート端子にデータ読み出し時に与えられる電位が、前記メモリエlementの第 $n$ の閾値電圧より高いことを特徴とする請求項17記載の半導体  
30 記憶装置。

【請求項20】前記メモリエlementは複数個でメモリセルユニットを形成し、このメモリセルユニットの一端は第1の信号線に電氣的に接続され、他端は第2の信号線に電氣的に接続され、前記メモリエlementを介して  
35 充電された前記第1の信号線の電位をセンスするデータ回路をさらに具備することを特徴とする請求項1乃至19いずれか1項記載の半導体記憶装置。

【請求項21】前記メモリエlementおよび選択elementは半導体基板上に設けられたトランジスタであり、  
40 前記制御端子はトランジスタのゲート電極であることを特徴とする請求項1乃至20いずれか1項記載の半導体記憶装置。

【請求項22】前記情報蓄積部は浮遊ゲートであることを特徴とする請求項1乃至21いずれか1項記載の半導体記憶装置。

【請求項23】前記情報蓄積部は絶縁膜であることを特徴とする請求項1乃至21いずれか1項記載の半導体記憶装置。

【請求項24】前記情報蓄積部の絶縁膜はシリコン窒化膜であることを特徴とする請求項23記載の半導体記憶  
50

装置。

【請求項25】前記情報蓄積部となる絶縁膜の物理膜厚は15nm以下であることを特徴とする請求項1乃至21、23又は24いずれか1項記載の半導体記憶装置。

【請求項26】前記情報蓄積部は半導体基板上に絶縁膜を間に介して設けられ、この絶縁膜はその膜厚が4nm以下であることを特徴とする請求項1乃至21、又は23乃至25いずれか1項記載の半導体記憶装置。

【請求項27】前記情報蓄積部と前記制御端子との間には、前記情報蓄積部とは材質の異なる絶縁膜が単層構造で形成されていることを特徴とする請求項1乃至26いずれか1項記載の半導体記憶装置。

【請求項28】前記情報蓄積部と前記制御端子との間には、前記情報蓄積部とは材質の異なる絶縁膜が積層構造で形成されていることを特徴とする請求項1乃至26いずれか1項記載の記憶装置。

【請求項29】前記メモリエLEMENTの消去動作においては、チャネル全面から情報蓄積部へダイレクトトンネリングによる正電荷が注入されることを特徴とする請求項1乃至21、又は23乃至28いずれか1項記載の半導体記憶装置。

【請求項30】前記メモリセルユニットは、電流端子間に直列に接続された複数個のメモリセルELEMENTとその両端に接続された選択ELEMENTとを有するNAND型メモリセルユニット、電流端子間に並列に接続された複数個のメモリセルELEMENTとその両端に接続された選択ELEMENTとを有するAND型メモリセルユニット、又は拡散層を共有して並列に接続された複数個のメモリセルELEMENTを有するNOR型メモリセルユニットのいずれかひとつであることを特徴とする請求項20記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係り、特に、電気的に書き換え消去可能な半導体記憶装置に関する。

【0002】

【従来の技術】電気的に書き換え消去可能な不揮発性半導体記憶装置のひとつとして、半導体基板上に電荷蓄積層と制御ゲートが積層形成されたMISFET構造を有するものが知られている。

【0003】浮遊ゲート型不揮発性半導体記憶装置では、図25(A)、(B)、(C)に示されるようにその消去動作は以下の通りになる。

【0004】まず、図25(A)に示される浮遊ゲート106に負電荷が帯電された状態である。次に、図25(B)に示される浮遊ゲート106から半導体基板101へ負電荷を抜く動作がなされる。この過程で、図25(C)に示される浮遊ゲート106に正電荷が帯電することで、消去動作が行われる。ここで、半導体基板10

1表面にはソース・ドレイン拡散層102が設けられ、半導体基板101上には、トンネル絶縁膜103を介して浮遊ゲート106が設けられている。この浮遊ゲート106上には、インターポリ絶縁膜105を介して制御ゲート104が設けられている。

【0005】次に、MONOS(金属—酸化シリコン膜—窒化シリコン膜—酸化シリコン膜—半導体: Metal-Oxide-Nitride-Oxide-Semiconductor)型不揮発性半導体記憶装置では、図25(D)、(E)、(F)に示されるようにその消去動作は以下の通りになる。

【0006】まず、図25(D)に示されるように電荷蓄積層110に負電荷が帯電された状態から、図25(E)に示されるように半導体基板101から電荷蓄積層110に正電荷が取り込まれる動作が行われる。このように電荷蓄積層へ正電荷を注入することで、図25(F)に示されるように電荷蓄積層110に正電荷が取り込まれた状態となる。この動作を正電荷のダイレクトトンネリングとよぶ。この場合、電荷蓄積層と半導体基板の間にあるトンネル絶縁膜111はその厚さが厚くなると正電荷が電荷蓄積層に入りにくくなってしまふ。しかし、データの保持特性としては、トンネル絶縁膜の厚さは厚いことが好ましい。

【0007】ここで、半導体基板101表面にはソース・ドレイン拡散層102が設けられ、半導体基板101上には、トンネル絶縁膜111を介して電荷蓄積層110が設けられている。この電荷蓄積層110上には、ブロック絶縁膜105を介して制御ゲート104が設けられている。

【0008】通常、電荷蓄積層に蓄えられた電荷量によってメモリセルトランジスタの閾値を変化させ、書き込み状態と消去状態とを記憶する。図26を用いて、従来の不揮発性メモリにおけるデータの記憶状態を説明する。電荷蓄積層の電荷量が0の状態を中性状態と呼び、そのときのメモリセルトランジスタの閾値を中性閾値 $V_{thi}$ とする。電荷蓄積層に正の電荷を蓄積した状態を消去状態とし、負の電荷を蓄積した状態を書き込み状態とする。このような状態はNAND型、AND型、NOR型メモリそれぞれ共通している。

【0009】図26(A)において、横軸はメモリセル数を指し、縦軸は閾値を指す。消去状態においては、 $V_{thi}$ よりも小さい閾値にすべての分布が存在している。書き込み状態においては、 $V_{thi}$ よりも大きい閾値にすべての分布が存在している。

【0010】図26(B)に示されるように、書き込み動作は例えば半導体基板101を0Vとした状態で制御ゲート104に高電圧(例えば10~25V)を印加して、半導体基板101から電荷蓄積層110に負電荷を注入することで行われる。またはソース電位に対してドレイン電位を正にバイアスしてチャネルで加速されたホットエレクトロンを発生させ、さらに制御ゲート104

をソース電位に対して正にバイアスすることでホットエレクトロンを電荷蓄積層に注入することで行われる。

【0011】図26(C)に示されるように、消去動作は例えば制御ゲート104を0Vとした状態で半導体基板101に高電圧(例えば10~25V)を印加して、電荷蓄積層110から半導体基板101に負電荷を放出することで行われる。またはソース電位に対してドレイン電位を負にバイアスしてチャンネルで加速されたホットホールを発生させ、さらに制御ゲート104をソース電位に対して負にバイアスすることでホットホールを電荷蓄積層110に注入することで行われる。

【0012】次に、図27、28を用いて代表的な不揮発性メモリであるNAND型EEPROMのデータの記憶状態およびデータの読み出し動作を説明する。一般にNAND型EEPROMではメモリセルの閾値が0Vより高い状態を書き込み状態、低い状態を消去状態とする。図27においては、横軸はメモリセル数を指し、縦軸は閾値を指す。消去状態においては、 $V_{thi}$ や選択トランジスタの閾値 $V_{thsg}$ よりも小さい負の閾値にすべての分布が存在していて、図26(C)に示される状態となっている。書き込み状態においては、 $V_{thi}$ よりも大きく、 $V_{read}$ よりも小さい閾値にすべての分布が存在していて、図26(B)に示される状態となっている。

【0013】図28に示されるように、NAND型EEPROMの読み出し動作では、ビット線BLをプリチャージした後にフローティングにし、読み出し選択されたメモリセルM2の制御ゲートの電圧を読み出し電圧0Vとし、それ以外のメモリセルM0、M1、M3乃至M31の制御ゲートの電圧を非選択読み出し電圧 $V_{read}$ 、選択トランジスタS1、S2のゲート電圧を電源電圧 $V_{cc}$ とし、ソース線Sourceを0Vとして、読み出し選択されたメモリセルM2に電流が流れるか否かをビット線BLで検出することにより行われる。

【0014】すなわち、読み出し選択されたメモリセルM2の閾値 $V_{th}$ が正である書き込み状態ならばメモリセルはオフになるのでビット線BLはプリチャージ電位を保つ。

【0015】これに対して読み出し選択されたメモリセルM2の閾値 $V_{th}$ が負である読み出し状態ならばメモリセルはオンになるのでビット線BLの電位はプリチャージ電位から $\Delta V$ だけ低下する。この電位変化をセンスアンプで検知することによってメモリセルのデータが読み出される。

【0016】図29(A)に示されるように非選択メモリセルにおいては、データ記憶後、放置されたメモリセルでは電荷が徐々に放電されて、少なくなっていく、最終的には電荷量が0に収束する。ここで、正電荷、負電荷いずれの場合も、その電荷量が初期状態において大きいほど、その電荷量の減少量が大きくなっている。一般

には、電荷の変化の傾きが小さい、電荷量が少ない場合を用いて半導体記憶装置の書き込み動作を行う。

【0017】従来のEEPROMにおいては、図26に示すように負電荷蓄積状態と正電荷蓄積状態をそれぞれ、書き込み状態と消去状態に対応させてデータを記憶していた。特にNAND型EEPROMでは図27に示すように、メモリセルの閾値が正の状態と負の状態をそれぞれ書き込み状態と消去状態に対応させてデータを記憶していた。

【0018】

【発明が解決しようとする課題】以上のような従来の半導体装置では、以下の課題が生じる。

【0019】NAND型EEPROMの読み出し動作において、非選択のメモリセルはその記憶状態によらずオンする必要があるため、書き込み閾値電圧よりも高い電圧 $V_{read}$ が制御ゲートに加えられる。図29(B)に示されるように、実線で示される消去直後の非選択のメモリセルが消去状態、すなわち、負の閾値状態にあった場合に、読み出し動作を繰り返すことで $V_{read}$ ストレスによって閾値が上昇し、データが破壊され、図中で破線で示されるように閾値が正となる。これはリードディスターストと呼ばれている。

【0020】すなわち、図29(A)、29(B)に示されるように読み出し非選択のセルは、常に $V_{read}$ ストレスにさらされているため、閾値が徐々に上昇していく。

【0021】ここで、メモリセルの保持電荷が正の場合、以下のいずれかの条件で、特にデータ保持特性の悪化が生じる。

【0022】この問題は、メモリセルの微細化に伴って、より深刻になるが以下にそれを説明する。不揮発性メモリの微細化に伴って、書き込み・消去電圧の低下に対する要求が強くなっている。

【0023】これは、書き込み、消去電圧を扱うための周辺回路の面積が半導体チップ全体に及ぼす影響が大きくなるからである。書き込み・消去電圧が高いままだと周辺回路の面積は縮小されず、セルが微細化されると相対的に周辺回路の面積が大きくなる。このように半導体チップ全体の面積を周辺回路の面積が制約する。

【0024】浮遊ゲート型のメモリセルでこれを実現するためにはカップリング比の向上とトンネル酸化膜の薄膜化が有効である。ここで、書き込み消去時に制御ゲートとチャンネル間にかかる電圧を $V_{pp}$ とし、トンネル酸化膜にかかる電界を $E_{ox}$ とし、トンネル酸化膜厚を $d$ とし、半導体基板と浮遊ゲート間の容量を $C_1$ とし、浮遊ゲートと制御ゲート間の容量を $C_2$ とし、カップリング比 $\gamma$ は $C_1$ と $C_2$ の和で $C_2$ を割った値となる。近似的には、 $V_{th}$ を $V_{thi}$ と等しいときには以下の数1が成り立つ。

【0025】



【数1】 $V_{pp} \div (d/\gamma) \times E_{ox}$

よって、 $E_{ox}$ を保ったまま（書き込み消去の速度を保ったまま）、プログラム電圧 $V_{pp}$ を下げるためにはトンネル酸化膜厚 $d$ を薄くするか、カップリング比 $\gamma$ を大きくする必要がある。

【0026】ところで読み出し動作時の非選択のメモリのトンネル酸化膜にかかる電界を $E'_{ox}$ とすると、近似的に $V_{th}$ が $V_{thi}$ と等しい場合を考えると以下の数2の関係が成り立つ。

【0027】

【数2】 $E'_{ox} \div (\gamma/d) \times V_{read}$

よって、制御ゲートとチャネル間にかかる電圧を $V_{pp}$ を下げるためにカップリング比 $\gamma$ を増加させ、トンネル酸化膜厚 $d$ を薄くすると $E'_{ox}$ が増大するため、リードディスタース特性が悪化する。

【0028】すなわち、リードディスタースはトンネル酸化膜のリークが原因であり、 $E'_{ox}$ 、すなわち、酸化膜電界が大きくなるとリーク電流が増大する。

【0029】また、電荷蓄積層としてシリコン窒化膜などの絶縁膜を用いた不揮発性メモリも存在し一般に書き込み消去電圧 $V_{pp}$ が低いことを特徴としているが、このようなメモリセルでは特開平11-330277号公報の図4に記載されているように2.5V以下の低い制御ゲート電圧でも閾値変動が生じることが知られている。

【0030】また $S_{in}$ を電荷蓄積層として用いたセルの繰り返し書き換え動作においては、消去状態に蓄積されたホールが信頼性を劣化させることがMinamiらによって指摘されている（「IEEE TRANSACTIONS ON ELECTRON DEVICES. Vol. 40, No. 11, pp.2011-2017 November 1993, Shin-ichi Minami and Yoshiaki Kamigaki「A Novel MONOS Nonvolatile memory Device Ensuring 10-Year Data Retention after 10<sup>7</sup> Erase/Write Cycles」」）。MONOSの場合に、電荷蓄積層を薄くした場合、長時間のストレスをかけた場合にはその特性悪化が顕著である。

【0031】さらに $S_{in}$ を電荷蓄積層として用いたセルにおける、データ保持特性の繰り返し書き換えによる劣化についてはホール蓄積状態のみ繰り返し書き換えにより劣化し、電子蓄積状態は劣化しないことがMinamiらによって指摘されている（「IEEE TRANSACTIONS ON ELECTRON DEVICES. Vol. 38, No. 11, pp. 2519-2526 November 1991, Shin-ichi Minami and Yoshiaki Kamigaki「New Scaling Guidelines for MNOS Nonvolatile Memory Devices」」）。

【0032】本発明の目的は以上のような従来技術の課題を解決することにある。特に、本発明の目的は、リードディスタース特性を向上させて、高集積化された半導体記憶装置を提供することにある。

【0033】

【課題を解決するための手段】上記目的を達成するために、本発明の特徴は、少なくとも一つの制御端子を有し、電気的に消去可能で、離散的な $n$ 値（ $n$ は2以上の整数）のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementを複数個備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ のすべての閾値電圧が、データ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて高く、データ読み出し時に前記制御端子に印加される電圧と比べて低い半導体記憶装置である。

【0034】本発明の別の特徴は、少なくとも一つの制御端子を有し、電気的に消去可能で、離散的な $n$ 値（ $n$ は2以上の整数）のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementを複数個備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ のすべての閾値電圧が、データ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて高く、データ読み出し時に前記第 $n$ の閾値電圧よりも高い電圧が印加される前記制御端子を有するメモリエlementを少なくとも一つ備える半導体記憶装置である。

【0035】本発明の別の特徴は、少なくとも一つの制御端子を有し、電気的に消去可能で、離散的な $n$ 値（ $n$ は2以上の整数）のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に複数個直列に接続されたメモリエlementを備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ のすべての閾値電圧が、データ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて高い半導体記憶装置である。

【0036】本発明の別の特徴は、少なくとも一つの制御端子を有し、電気的に消去可能で、離散的な $n$ 値（ $n$ は2以上の整数）のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementを備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧領域に対応させて記憶させ、第 $m$ （ $m$ は1以上 $n$ 以下の整数）のデータ記憶状態において、閾値電圧がデータ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて、高いメモリエlementと低いメモリエlementをともに備える半導体記憶装置である。

【0037】本発明の別の特徴は、少なくとも一つの制御端子を有し、電気的に消去可能で、離散的な $n$ 値（ $n$

は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementを複数個備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧領域に対応させて記憶させ、データ読み出し時に前記第 $n$ の閾値電圧より高い電圧が印加される前記制御端子を有するメモリエlementを少なくとも一つ備え、第 $m$ ( $m$ は1以上 $n$ 以下の整数)のデータ記憶状態において、閾値電圧がデータ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて、高いメモリエlementと低いメモリエlementをともに備える半導体記憶装置である。

【0038】本発明の別の特徴は、少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に複数個直列に接続されたメモリエlementを備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧領域に対応させて記憶させ、第 $m$ ( $m$ は1以上 $n$ 以下の整数)のデータ記憶状態において、閾値電圧がデータ読み出し時に電流端子に印加される電圧のうち低い方の電圧に比べて、高いメモリエlementと低いメモリエlementをともに備える半導体記憶装置である。

【0039】本発明の別の特徴は、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶可能であり、前記第1乃至第 $n$ のすべてのデータ記憶状態において負の電荷が蓄積され、かつ、電氣的に消去可能な情報蓄積部と、少なくとも一つの制御端子を有するメモリエlementを備える半導体記憶装置である。

【0040】本発明の別の特徴は、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶可能であり、かつ、電氣的に消去可能な情報蓄積部と、少なくとも一つの制御端子を有するメモリエlementが複数個設けられていて、前記 $n$ 値のデータを蓄積された電荷の正の電荷量の多い順に第 $n$ 乃至第1のデータ記憶状態に対応させたとき、第 $m$ ( $m$ は1以上 $n$ 以下の整数)のデータ記憶状態において、前記情報蓄積部に正の電荷が蓄積されているメモリエlementと、前記情報蓄積部に負の電荷が蓄積されているメモリエlementとをともに備える半導体記憶装置である。

【0041】本発明の別の特徴は、少なくとも一つの制御端子と、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有する、少なくとも二つの電流端子間に配置されたメモリエlementを備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至

第 $n$ のすべての閾値電圧が、情報蓄積部の電荷がゼロのときの閾値電圧よりも高い半導体記憶装置である。

【0042】本発明の別の特徴は、少なくとも一つの制御端子と、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有する、少なくとも二つの電流端子間に配置されたメモリエlementを複数個備え、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とし、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧に対応させると、第 $m$ ( $m$ は1以上 $n$ 以下の整数)のデータ記憶状態における閾値電圧が、情報蓄積部の電荷がゼロのときの閾値電圧よりも高いメモリエlementと低いメモリエlementをともに備える半導体記憶装置である。

【0043】本発明の別の特徴は、少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementと、このメモリエlementと電流端子を共有して配置され、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値とすると、前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ のすべての閾値電圧よりも低い閾値電圧を有する選択elementとを備える半導体記憶装置である。

【0044】本発明の別の特徴は、少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置された複数個のメモリエlementと、このメモリエlementと電流端子を共有して選択elementが配置され、前記電流端子間の導通状態と遮断状態とが切り替わる前記制御端子の電圧を閾値として前記 $n$ 値のデータを閾値の低い順に定められた離散的な第1乃至第 $n$ の閾値電圧に対応させると、第 $m$ ( $m$ は1以上 $n$ 以下の整数)のデータ記憶状態における閾値電圧が、前記選択elementの閾値電圧よりも高いメモリエlementと、前記選択elementの閾値電圧よりも低いメモリエlementとをともに備える半導体記憶装置である。

【0045】本発明の別の特徴は、少なくとも一つの制御端子を有し、電氣的に消去可能で、離散的な $n$ 値( $n$ は2以上の整数)のデータを記憶する情報蓄積部を有し、少なくとも二つの電流端子間に配置されたメモリエlementと、このメモリエlementと電流端子を共有して配置され、データ読み出し時にメモリエlementの制御端子に与えられる電位と同じ電位が印加される制御端子を有する選択elementとを備える半導体記憶装置である。

【0046】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同

一又は類似の部分には、同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は、現実のものとは異なる。従って、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

【0047】(第1の実施の形態) 図1(A)を用いて本実施形態をNAND型EEPROMに適用した場合の読み出し動作を説明する。ここでは、メモリセルユニットはビット線BLに一端が接続された第1選択トランジスタS1とソース線Sourceに一端が接続された第2選択トランジスタS2との間に16個のメモリセルトランジスタM0~M15が直列に接続されて構成されている。

【0048】ビット線BLをプリチャージした後にフローティングにし、読み出し選択されたメモリセルトランジスタM2の制御ゲートの電圧を読み出し電圧Vrefとし、それ以外のメモリセルM0、M1、M3~M15の制御ゲートの電圧を非選択読み出し電圧Vread、第1選択トランジスタS1及び第2選択トランジスタS2のゲート電圧を電源電圧Vcc、ソース線Sourceを0Vとして、読み出し選択されたメモリセルM2に電流が流れるか否かをビット線BLで検出することにより行われる。

【0049】すなわち、選択メモリセルM2の閾値Vthが読み出し電圧Vrefよりも大きいならば、選択メモリセルM2はオフになるのでビット線BLはプリチャージ電位を保つ。

【0050】これに対して選択メモリセルM2の閾値Vthが読み出し電圧Vrefよりも小さいならば、選択メモリセルM2はオンになるのでビット線BLの電位はプリチャージ電位からメモリセルユニットでの電圧降下 $\Delta V$ だけ低下する。この電位変化をビット線に接続されたデータ回路(図示せず)内のセンスアンプ(図示せず)で検知することによって選択メモリセルM2のデータが読み出される。

【0051】ここで、読み出し電圧Vrefは書き込み状態の閾値と消去状態の閾値の中間の電圧、非選択読み出し電圧Vreadは書き込み状態の閾値よりも高い電圧、電源電圧Vccは選択トランジスタの閾値よりも高い電圧である。

【0052】図1(B)には、横軸をメモリセルトランジスタの個数、縦軸を閾値の大きさとして、本実施の形態におけるデータの記憶状態が示される。本実施の形態に特徴的なことはメモリセルの書き込み状態及び消去状態のいずれもが正の閾値を持つことである。

【0053】ここで、書き込み状態及び消去状態の閾値は、図1(B)に示されるような分布を持つ。消去状態の閾値は、0Vよりも大きく、読み出し電圧Vrefよ

りも小さい分布となっている。書き込み状態の閾値は、読み出し電圧Vrefよりも大きく、非選択読み出し電圧Vreadよりも小さい分布となっている。

【0054】また、場合により図1(C)に示すようなデータの記憶状態となってもよい。消去状態の閾値は、0Vをはさんで正負両方の値となっていて、読み出し電圧Vrefよりも小さい分布となっている。書き込み状態の閾値は、読み出し電圧Vrefよりも大きく、非選択読み出し電圧Vreadよりも小さい分布となっている。

【0055】図27(A)に示したように、繰り返し読み出しによって非選択セルの閾値は非選択読み出し電圧Vreadによるストレスによって上昇する問題があるため、データ記憶の閾値設定や各種の電圧設定はこれを考慮にいれて行う必要がある。

【0056】図2(A)には、リードディスタ urbを考慮した閾値設定方法を横軸をメモリセルトランジスタ数、縦軸を閾値とした分布が表される。

【0057】書き込み状態のメモリセルのなかで最も低い閾値をVthw(min)、書き込み閾値の分布幅を $\Delta V$ ( $\Delta V$ としては例えば0.4V程度が一般的である)とする。

【0058】読み出し動作の高速化のために十分なセル電流を得るためには、非選択読み出し電圧Vreadは最も高い閾値を持つメモリセルでも十分にオンするだけの電圧である必要がある。

【0059】すなわち、ゲート電圧が高いほどセル電流が大きくなるため、セル電流をかせぐためには、ゲート電圧は十分高い必要がある。

【0060】このマージンをV1とする。一般的にはV1としては1V程度の電圧が望ましい。このとき数3の関係が成り立つ。

【0061】

【数3】

35  $V_{read} = V_{thw}(\min) + \Delta V + V1$   
定数 $\alpha$ を $\Delta V$ とV1との和すると相互に等しい下記の数4、数5が成り立つ。

【0062】

【数4】  $V_{read} = V_{thw}(\min) + \alpha$

40 【0063】

【数5】  $V_{thw}(\min) = V_{read} - \alpha$

また、消去状態のメモリセルの中でもっとも高い閾値をVthe(max)とする。繰り返し読み出し動作によって破線で示される消去閾値は徐々に上昇し、ある時間の非選択読み出し電圧Vreadストレス後にはVthe(max)はVthe'(max)となり、実線で示される分布状態となる。ここでVthe'(max)は非選択読み出し電圧Vreadストレス時間が長いほど上昇する。

50 【0064】非選択読み出し電圧Vreadストレス時

間には不揮発性メモリの信頼性保証のスペックによって決定され、例えば、読み出し時間と10年間の動作保証をする呼び出し回数との積となる。

【0065】このようにして決定された非選択読み出し電圧 $V_{read}$ ストレス後にも書き込み状態と消去状態の閾値分布は分離されている必要があり、分離のためのマージンを $\beta$ とすると、数6の関係が満たされる必要がある。

【0066】

【数6】

$$V_{thw}(\min) - V_{the}'(\max) > \beta$$

ここで、 $\beta$ はセンスアンプの動作マージンによって決定されるが一般には0.4V程度である。

【0067】発明者は不揮発性メモリにおける消去閾値と非選択読み出し電圧及び非選択読み出し電圧ストレス時間の関係を調査した。図2(B)には、横軸をリードストレス時間とし、縦軸を消去閾値電圧として、消去閾値は、リードストレス時間の関数として表される。

【0068】その結果、十分長いリードストレス後の消去閾値 $V_{the}'$ は初期の消去閾値 $V_{the}$ に依らず、非選択読み出し電圧 $V_{read}$ だけで決定されることを見出した。

【0069】リードストレスが0秒のときの消去閾値(初期状態での消去閾値)によらずに、長時間ストレスを与えた後の閾値は、一定値に収束する。消去が深いと、自己電界のためにストレス初期の閾値変動が大きく、消去が浅い場合に追いついてしまう。

【0070】つまり、ある一定のリードストレス時間(この時間は信頼性のスペックによって決定される)後の消去閾値は非選択読み出し電圧 $V_{read}$ の関数であり、数7が成立する。

【0071】

【数7】

$$V_{the}'(\max) = F(V_{read})$$

ここで、 $F(x)$ はメモリセルトランジスタのリードディスタース特性に依存するが、発明者は2次関数で近似できることを見出した。

【0072】図3は上記数5を■として、数7を■としてグラフ上にプロットしたものである。グラフの横軸は非選択読み出し電圧 $V_{read}$ 、縦軸はメモリセルの閾値 $V_{th}$ である。

【0073】このグラフで、数6の関係式を満たすように、書き込み及び消去の閾値を設定する必要がある。十分長いリードストレス後の消去閾値 $V_{the}'$ が初期の消去閾値 $V_{the}$ よりも大きくなるように設定すればよく、消去時間や消去電圧の低減のためには $V_{the}'$ と $V_{the}$ との差は大きくとりすぎないことが望ましい。

【0074】ところで、数6、つまり一定時間後の消去閾値 $V_{the}'(\max)$ はメモリセルのリードディ

スタース特性に依存する。図3のグラフではリードディスタースによる閾値変動が大きい場合■と小さい場合■の2種類をプロットした。リードディスタースによる閾値変動が大きい場合■には一定時間後の消去閾値 $V_{the}'(\max)$ が高くなるために、書き込み消去の閾値設定も、閾値変動が小さい場合■と比較して高いほうにシフトすることが信頼性上望ましい。

【0075】微細化されたメモリセルではカップリング比 $\gamma$ の増加、トンネル酸化膜厚 $d$ の薄膜化、または絶縁膜に電荷をトラップさせるMONOS型メモリセル等の技術が有利であるが、先にも述べたようにこれらの技術を用いた場合にはリードディスタースによる閾値変動が大きくなる。さらにMONOS型メモリセルにおいて、チャネル全面からの正電荷のダイレクトトンネリングによって消去する場合、消去時間を短縮するためにトンネル酸化膜を薄膜化した場合、リードディスタースによる閾値変動が大きくなるが、本実施の形態を適用することで閾値変動による書き込み消去ウインドウの低下を抑制することができる。

【0076】本実施の形態ではメモリセルの閾値設定を書き込み/消去状態ともに正にすることで、繰り返し読み出し動作における消去データのデータ破壊を防止することができる。

【0077】本実施の形態のもうひとつの効果として消去ペリファイ動作に関するものがある。消去ペリファイ動作とは、消去後消去したメモリセルの閾値が所望の閾値(以下、 $V_{verify}$ とする)以下であることを確認する動作で、従来のNAND型EEPROMでは消去閾値は0V以下であるのでマージンを考慮すると $V_{verify}$ は、0Vよりも小さくする必要があった。消去ペリファイ動作においては制御ゲート電極に $V_{verify}$ を印加して、このときにメモリセルトランジスタがオンすることを確認する。

【0078】ここで $V_{verify}$ が負であると、制御ゲートに負電圧を印加するためのデータ制御線ドライバが余分に必要となり、周辺回路面積が増大する。ゲートに負電圧を印加しない場合には、消去ペリファイ動作時にソース電圧を上昇させる必要があるが、この場合にもソース線に正の電圧を印加するための余分な回路が必要となり、やはり周辺回路面積が増大する。

【0079】ここで、本実施の形態では消去閾値が正であるために $V_{verify}$ も正であり、消去ペリファイ動作時にはソース線は通常の読み出し動作と同じく基準電位である0Vでよく、また制御ゲート電極にも正の電圧を印加すればよいので、周辺回路部は消去ペリファイ動作のための余分な回路を必要としないので、回路が簡単になり面積が小さくて済む。

【0080】図4乃至図7に本実施の形態をNAND型EEPROMに適用した場合のメモリセルの等価回路図、平面図、及び断面図を示す。

【0081】図4(A)では、電荷蓄積電極を有するMOSトランジスタからなる不揮発性メモリセルM0~M15が直列に接続され、一端が選択トランジスタS1を介してデータ転送線BLに接続されている。また、他の一端は選択トランジスタS2を介して共通ソース線SLに接続されている。また、それぞれのメモリセルM0~M15の制御電極は、データ選択線WL0~WL15に接続されている。各メモリセルM0~M15へは共通のウェル電位Wellが与えられている。

【0082】また、データ転送線WL0~WL15に沿った複数のメモリセルブロックから1つのメモリセルブロックを選択してデータ転送線に接続するため、選択トランジスタS1の制御電極はブロック選択線SSLに接続されている。

【0083】さらに、選択トランジスタS2の制御電極はブロック選択線GSLに接続されており、いわゆるNAND型メモリセルブロック1を形成している。

【0084】図4(B)では、図4(A)に示されたメモリセルブロック1を3つ並列して配置した構造を示している。特に、図4(B)では、セル構造をわかりやすくするために、制御ゲート電極よりも下の構造のみを示している。ここでは、選択ゲートのブロック選択線SSL及びGSLがメモリセルエレメントの制御配線WL0~WL15の電荷蓄積層と同じ層の導電体によって、紙面左右方向に隣接するセルで接続されて形成されている。ここで、メモリセルブロック1には、ブロック選択線SSL、GSLは少なくとも1本以上あればよく、データ選択線WL0~WL15と同一方向に形成されることが、高密度化には望ましい。

【0085】データ転送線BLは、データ選択線WL0~WL15と垂直な方向に紙面上下方向に図4(B)中では3本配置されている。各データ転送線BLのブロック選択線SSL近傍にはビット線コンタクト2が配置されている。また、各データ転送線BLのブロック選択線GSL近傍にはソース線コンタクト3が配置されている。このようにデータ選択線が形成されることで、制御ゲートのLine/Spaceのパターンが規則的になり、加工が容易となる。

【0086】図4(A)では、メモリセルブロック1に16個、すなわち2の4乗個のメモリセルトランジスタが接続されている例を示したが、データ転送線およびデータ選択線に接続するメモリセルの数は複数であればよく、32個や2<sup>n</sup>個(nは正の整数)であることがアドレスデコードをする上で望ましい。

【0087】データの記憶は例えば制御ゲートと半導体基板間に例えば10~25Vの高電圧を印加することで、トンネル絶縁膜を介して電荷が移動し、電荷蓄積層となる絶縁膜又は浮遊ゲート中の電荷量を変化させることによって行われる。電荷蓄積層中の電荷量が変わることによってメモリセルトランジスタの閾値電圧が変化し、こ

れを検出することでデータを読み出すことができる。

【0088】図5(A)には、図4(B)におけるカラム方向である“A-B”線上での断面が示される。図5(B)には、図4(B)におけるロウ方向である“C-D”線上での断面が示される。

【0089】図5(A)は、電荷蓄積層としてシリコン窒化膜等の絶縁膜を用いたMONOS型メモリセルトランジスタを用いた場合の断面図である。

【0090】P型半導体基板4上には、N型ウェル5が形成されている。このN型ウェル5上には、P型ウェル6が形成されている。各トランジスタは、同一のP型ウェル6上に形成されている。

【0091】ここで、P型ウェル6は、例えばボロン不純物濃度が $10^{14}\text{cm}^{-3}$ から $10^{17}\text{cm}^{-3}$ の間で形成されている。このP型ウェル6の上に、例えば、1から10nmの厚さからなるシリコン酸化膜またはオキシナイトライド膜からなるトンネルゲート絶縁膜7を介して、例えばSiN、SiONからなる電荷蓄積層8が3nmから50nmの厚さで形成されている。

【0092】この上に、例えば、厚さ2nmから10nmの間のシリコン酸化膜からなるブロック絶縁膜9を介して、例えばポリシリコンやWSi(タングステンシサイド)とポリシリコンとのスタック構造、NiSi、MoSi、TiSi、CoSiとポリシリコンのスタック構造、金属とポリシリコンとのスタック構造、又は金属やポリシリコン、WSi、NiSi、MoSi、TiSi、CoSiなどの単層構造からなる制御ゲート10が10nmから500nmの厚さで形成されている。

【0093】制御ゲート10の上には、ゲートキャップ絶縁膜11が形成されている。このゲートキャップ絶縁膜11、制御ゲート10、ブロック絶縁膜9、電荷蓄積層8、トンネル絶縁膜7の積層構造の側面には、例えば5nmから200nmの厚さのシリコン窒化膜またはシリコン酸化膜からなるゲート側壁絶縁膜12が形成されていて、これらでメモリセルゲート13が形成されている。

【0094】制御ゲート10は、図4(B)において隣接するメモリセルブロックで接続されるように紙面左右方向にブロック境界まで形成されており、データ選択線WL0~WL15及び、選択ゲート制御線SSL、GSLを形成している。

【0095】なお、P型ウェル6は、N型ウェル5によってP型半導体基板4と独立に電圧印加できるようになっていることが、消去時の昇圧回路負荷を減らし、消費電力を抑えるためには望ましい。

【0096】これらメモリセルゲート13の両側にはゲート側壁絶縁膜12を挟んでソース・ドレインN型拡散層14が形成されている。これらソース・ドレインN型拡散層14と電荷蓄積層8、制御ゲート10により、MONOS型不揮発性EEPROMセルが形成されてお

り、電荷蓄積層のゲート長としては、 $0.5\mu\text{m}$ 以下 $0.01\mu\text{m}$ 以上とする。これらソース・ドレインN型拡散層14としては、例えばリンや砒素、アンチモンを表面濃度が $10^{11}\text{cm}^{-2}$ から $10^{12}\text{cm}^{-2}$ となるように深さ $10\text{nm}$ から $500\text{nm}$ の間で形成されている。

【0097】さらに、これらソース・ドレインN型拡散層14はメモリセル同士で直列に接続され、NAND接続が実現されている。また、図5(A)において、ゲート電極15は選択ゲート制御線GSLに相当するブロック選択線に接続され、ゲート電極16は選択ゲート制御線SSLに相当するブロック選択線に接続されている。それぞれのゲート電極15、16は、MONOS型EEPROMのメモリセルトランジスタのメモリセルゲート13の制御電極10と同層で形成されている。

【0098】これらゲート電極15、16は、例えば3から $15\text{nm}$ の厚さのシリコン酸化膜またはオキシナイトライド膜からなるゲート絶縁膜17を介してP型ウエル6と対向し、MOSトランジスタを形成している。

【0099】ここで、ゲート電極15、16のゲート長は、メモリセルゲート13のゲート長よりも長く、例えば、 $1\mu\text{m}$ 以下 $0.02\mu\text{m}$ 以上として形成することにより、ブロック選択時と非選択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【0100】また、ゲート電極16の片側に形成されたソースまたはドレイン電極となるN型拡散層18は、例えば、タングステンやタングステンシリサイド、チタン、チタンナイトライド、またはアルミニウムからなるデータ転送線19とコンタクト20を介して接続されている。

【0101】ここで、データ転送線19(BL)は、隣接するメモリセルブロックで接続されるように図4(B)の紙面上下方向にメモリセルブロック境界まで形成されている。

【0102】一方、ゲート電極15の片側に形成されたソース・ドレインN型拡散層21は、コンタクト22を介してソース線23(SL)と接続されている。

【0103】このソース線23(SL)は、隣接するメモリセルブロックで接続されるように図4(B)の紙面左右方向にブロック境界まで形成されている。これらコンタクト20、22としては、例えばN型又はP型にドーパされたポリシリコンやタングステン、タングステンシリサイド、Al、TiN、Tiなどが充填されて、導電体領域となっている。

【0104】さらに、これらソース線23、データ転送線19と、P型ウエル6との間は、例えば $\text{SiO}_2$ や $\text{SiN}$ からなる層間膜24によって充填されている。

【0105】さらに、このデータ転送線19上部には、例えば $\text{SiO}_2$ や $\text{SiN}$ 、又は、ポリイミドからなる絶縁膜保護層25が形成されていて、場合によりその上には、図には示していないが、例えば、W、AlやCuか

らなる上部配線が形成されている。

【0106】図5(B)に示される断面では、素子分離領域26で各ゲート電極13が分離絶縁されている様子が示される。各メモリセルゲート13の真上に層間膜24を介して、データ転送線19が形成されている。

【0107】本実施の形態では、MONOS型セルを用いているため、浮遊ゲート型EEPROMセルよりも書き込み電圧および消去電圧を低電圧化することができ、素子分離間隔を狭めゲート絶縁膜厚を薄膜化しても耐圧を維持することができる。

【0108】よって、高電圧が印加される回路の面積を小さくでき、よりチップ面積を縮小することができる。さらに、浮遊ゲート型メモリセルと比較して、電荷蓄積層8の厚さを $20\text{nm}$ 以下に小さくでき、ゲート形成時のアスペクトをより低減でき、ゲート電極の加工形状を向上させ、層間膜24のゲート間の埋め込みも向上させることができ、耐圧をより向上させることができる。

【0109】また、浮遊ゲート電極を形成するためのプロセスやスリット作成プロセスが不要であり、よりプロセス工程を短くすることができる。また、電荷蓄積層8が絶縁体で、1つ1つの電荷トラップに電荷が捕獲されているので、放射線に対して電荷が抜けにくく強い耐性を持たせることができる。さらに、電荷蓄積層8の側壁絶縁膜12が薄膜化しても、電荷蓄積層8に捕獲された電荷がすべて抜けてしまうことなく良好な保持特性を維持できる。

【0110】NANDメモリにおいては、高集積化が可能であり、NORメモリにおいては、ランダムアクセス動作が可能である。さらに、ANDメモリにおいては、高集積化が可能である。また、MONOS型メモリでは、低電圧動作が可能である。一方、浮遊ゲート型メモリでは、MONOS型メモリよりもデータ保持特性が良好である。本実施の形態はその不得意な点を改良する意味において、リードディスタブを改善するため、特にNAND MONOS型メモリにおいて、有効である。

【0111】(第1の実施の形態の第1の変形例)図6(A)には、MONOS型セルを用いたメモリセルブロック27の等価回路図である。図1(A)に示された第1の実施の形態における等価回路図とは選択トランジスタS1、S2がMOSセルではなくMONOSTランジスタとなっている点のみが異なり、他は同一である。上面図は図5(B)に示される通りである。また、図5(B)における“A-B”線上での断面は図6(B)に示されるが、“C-D”線上での断面は図5(B)に示される構造と同一である。

【0112】図6(B)では選択トランジスタがメモリセルと同じMONOS構造をとった場合の断面図を示している。この場合、選択トランジスタとメモリセルトランジスタを作り分けるための工程を省略できるので製造コストが削減され、また作り分けのための余裕をとる必

要が無いので選択トランジスタとメモリセル間の距離を小さくすることが可能で素子面積を縮小することができる。作り分けを行うと、そのためのリソグラフィが必要となり、マスクの合わせずれ余裕を取らなければならないが、作り分けを行わない場合、合わせ余裕を取る必要がないので、微細化がその分進められる。

【0113】(第1の実施の形態の第2の変形例) 本変形例は、電荷蓄積層として不純物を添加したポリシリコン等の導電体を用いた、浮遊ゲート型メモリ構造を有する場合である。

【0114】本変形例の等価回路は図1(A)又は、図6(A)に示される通りであり、その上面図は図4(B)に示される通りである。図4(B)における“A-B”線上での断面が図7(A)に示され、“C-D”線上での断面が図7(B)に示される。

【0115】図7(A)に示されるように、P型半導体基板4上にN型ウエル5が形成されていて、その上に、例えば、ボロン不純物濃度が $10^{14} \text{ cm}^{-3}$ から $10^{11} \text{ cm}^{-3}$ の間のP型ウエル6に、例えば、3から15nmの厚さからなるシリコン酸化膜またはオキシナイトライド膜から形成されたトンネルゲート絶縁膜30を介して、例えばリンまたは砒素を $10^{11} \text{ cm}^{-3}$ から $10^{11} \text{ cm}^{-3}$ の間で、添加したポリシリコンからなる電荷蓄積層31が10nmから500nmの厚さで形成されている。

【0116】これらは、図7(B)に示されるような、例えば、シリコン酸化膜からなる素子分離絶縁膜26が形成されていない領域上に、P型ウエル6と自己整合的に形成されている。これは、例えば、P型ウエル6にトンネルゲート絶縁膜30及び電荷蓄積層31を全面堆積した後、パターニングしてP型ウエル6に達するまで、P型ウエル6を例えば0.05~0.5 $\mu\text{m}$ の深さまでエッチングし、絶縁膜を埋め込むことで形成することができる。

【0117】このようにトンネルゲート絶縁膜30及び電荷蓄積層31を段差のない平面に全面形成できるので、より均一性の向上した特性の揃った製膜を行うことができる。このように、素子分離領域よりもゲート電極を先に形成するプロセスを採用することが好ましい。ここで、素子分離領域を形成した後、トンネルゲート絶縁膜30、電荷蓄積層31を形成した場合には、素子分離領域の段差のために均一に形成することが難しくなる。

【0118】この上に、例えば、厚さ5nmから30nmの間のシリコン酸化膜またはオキシナイトライド膜、またはシリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなるインターポリ絶縁膜32を介して、例えばリン、砒素、またはボロンを $10^{11} \sim 10^{11} \text{ cm}^{-3}$ を不純物添加したポリシリコン、または、WSi(タングステンシリサイド)とポリシリコンとのスタック構造、NiSi, MoSi, TiSi, CoSiとポリシリコンの

スタック構造、金属とポリシリコンとのスタック構造、又は金属やポリシリコン、WSi, NiSi, MoSi, TiSi, CoSiなどの単層構造からなる制御ゲート33が10nmから500nmの厚さで形成されている。

【0119】この制御ゲート33は、図4(A)において隣接するメモリセルブロックで接続されるように図4(B)において紙面左右方向にブロック境界まで形成されており、データ選択線WL0~WL15を形成している。なお、P型ウエル6は、N型ウエル5によってP型半導体基板4と独立に電圧印加できるようになっていることが、消去時の昇圧回路の負荷を減らし、消費電力を抑えるためには望ましい。制御ゲート33上にはゲートキャップ絶縁膜34が形成されている。

【0120】ゲートキャップ絶縁膜34、制御ゲート33、インターポリ絶縁膜32、電荷蓄積層31、トンネルゲート絶縁膜30の側面は、例えば5nmから200nmの厚さのシリコン窒化膜またはシリコン酸化膜からなるゲート側壁絶縁膜35で覆われていて、これらがメモリセルゲート36を形成する。

【0121】図7(A)に示すように、これらメモリセルゲート36の両側には、ゲート側壁絶縁膜35を挟んでソース・ドレインN型拡散層37が形成されている。これらソース・ドレインN型拡散層37及びメモリセルゲート36により、電荷蓄積層31に蓄積された電荷量を情報量とする浮遊ゲート型EEPROMセルが形成されており、そのゲート長としては、0.5 $\mu\text{m}$ 以下0.01 $\mu\text{m}$ 以上とする。

【0122】これらソース・ドレインN型拡散層37としては、例えばリンや砒素、アンチモンを表面濃度が $10^{11} \sim 10^{11} \text{ cm}^{-3}$ となるように深さ10nmから500nmの間で形成されている。さらに、これらソース・ドレインN型拡散層37は隣接するメモリセル同士共有され、NAND接続が実現されている。

【0123】また、図7(A)において、ゲート電極38は図4(B)における選択ゲート制御線SSLに接続されており、ゲート電極39は選択ゲート制御線GSLに接続されている。これらゲート電極は浮遊ゲート型EEPROMのメモリセルゲート36と同層で形成されている。

【0124】ゲート電極38、39のゲート長は、メモリセルゲート36のゲート長よりも長く、例えば、1 $\mu\text{m}$ 以下0.02 $\mu\text{m}$ 以上で形成することにより、ブロック選択時と非選択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【0125】また、ゲート電極38の片側に形成されたソース・ドレインN型拡散層18は、例えば、タングステンやタングステンシリサイド、チタン、チタンナイトライド、またはアルミニウムからなるデータ転送線19とコンタクト20を介して接続されている。ここで、デ



ータ転送線19は、隣接するメモリセルブロックで接続されるように図4(B)の紙面上下方向にブロック境界まで形成されている。

【0126】一方、ゲート電極39の片側に形成されたソース・ドレインN型拡散層21は、コンタクト22を介してソース線23と接続されている。このソース線23は、隣接するメモリセルブロックで接続されるように図4(B)において紙面左右方向にブロック境界まで形成されている。

【0127】これらコンタクト20、22としては、例えばN型またはP型にドーパされたポリシリコンやタングステン、及びタングステンシリサイド、Al、TiN、Tiなどが充填されて、導電体領域となっている。さらに、これらデータ転送線19とP型ウェル6との間は、例えばSiO<sub>2</sub>やSiNなどからなる層間膜24によって充填されている。

【0128】さらに、このデータ転送線19上部には、例えばSiO<sub>2</sub>やSiN、または、ポリイミドなどからなる絶縁膜保護層25が形成されている。その上には、図には示していないが、例えば、W、AlやCuからなる上部配線が形成されている。

【0129】本変形例において、メモリセルのデータ記憶状態について、書き込み/消去の閾値がどちらも正である。または書き込み状態のすべてのメモリセルの閾値および消去状態の一部のメモリセルの閾値が正である。従って繰り返し読み出し動作によって消去状態のメモリセルが上昇するリードディスタースによる閾値ウィンドウの低下を改善することが出来る。さらに消去閾値が正であるために消去ペリファイ動作時に負の電圧を扱う必要が無く、周辺回路を簡略化することが出来る。

【0130】(第2の実施の形態)図8及び図9に本発明の第2の実施形態におけるデータの記憶状態を示す。図8に示されるように、本実施形態に特徴的なことはメモリセルの書き込み、消去のいずれの場合においても電荷蓄積層に負の電荷(電子)が溜められていることに特徴がある。これは書き込み、消去のいずれの状態の閾値も中性閾値(電荷蓄積層に電荷がないときのメモリセルの閾値)V<sub>thi</sub>よりも高いと言い換えることができる。

【0131】図8(A)では、横軸をメモリセル数、縦軸を閾値としている。書き込み状態では、メモリセルの分布はすべて、V<sub>ref</sub>よりも大きい閾値となっている。消去状態では、メモリセルの分布はV<sub>ref</sub>よりも小さく、V<sub>thi</sub>よりも大きい範囲に収まっている。

【0132】図8(B)には、書き込み状態のメモリセルゲートの電荷状態が示されている。半導体基板50中にソース・ドレイン拡散層51が設けられ、このソース・ドレイン拡散層51にはさまれた半導体基板50上に電荷蓄積層52が設けられ、この電荷蓄積層52上に制御ゲート53が設けられている。ここでは、電荷蓄積層

52に負電荷が多数蓄積された状態が示されている。

【0133】図8(C)には、消去状態のメモリセルゲートの電荷状態が示されている。書き込み状態に比べて、電荷蓄積層52に蓄積される負電荷の量が少数となっている状態が示されている。

【0134】また図9に示されるように、本実施形態の代替例として特徴的なことは書き込み状態のすべて、及び消去状態の一部のメモリセルの電荷蓄積層に負の電荷(電子)が溜められている。つまり消去状態の閾値分布が中性閾値V<sub>thi</sub>をまたいでいる。すなわち、消去閾値分布の範囲に中性閾値が存在することになる。

【0135】図9(A)では、横軸をメモリセル数、縦軸を閾値としている。書き込み状態では、メモリセルの分布はすべて、V<sub>ref</sub>よりも大きい閾値となっている。消去状態では、メモリセルの分布はV<sub>ref</sub>よりも小さく、V<sub>thi</sub>をはさんで大きい状態から小さい状態の両方の範囲に広がっている。

【0136】図9(B)には、書き込み状態のメモリセルゲートの電荷状態が示されている。ここでは、電荷蓄積層52に負電荷が多数蓄積された状態が示されている。

【0137】図9(C)には、消去状態のメモリセルゲートの電荷状態のうち、V<sub>thi</sub>よりも高い閾値となっている場合が示されている。書き込み状態に比べて、電荷蓄積層52に蓄積される負電荷の量が少数となっている状態が示されている。

【0138】図9(D)には、消去状態のメモリセルゲートの電荷状態のうち、V<sub>thi</sub>よりも低い閾値となっている場合が示されている。ここでは、電荷蓄積層52には正電荷が少数蓄積されている状態が示されている。

【0139】ここで、消去動作は例えば制御ゲートを0Vとした状態で半導体基板に高電圧、例えば10~25Vを印加して、電荷蓄積層から基板に負電荷を放出することで行われる。またはソース電位に対してドレイン電位を負にバイアスしてチャネルで加速されたホットホールを発生させ、さらにゲート電極をソース電位に対して負にバイアスすることでホットホールを電荷蓄積層に注入することで行われる。

【0140】書き込み動作は例えば半導体基板を0Vとして状態で制御ゲートに高電圧、例えば10~25Vを印加して、半導体基板から電荷蓄積層に負電荷を注入することで行われる。またはソース電位に対してドレイン電位を正にバイアスしてチャネルで加速されたホットエレクトロンを発生させ、さらにゲート電極をソース電位に対して正にバイアスすることでホットエレクトロンを電荷蓄積層に注入することで行われる。

【0141】次に、本実施の形態をNAND型EEPROMに適用した場合のデータの読み出し動作を図10(A)に示す。メモリセルブロック1の構成は図4(A)に示された構成と同一であり、電位の印加状態が



異なっている。

【0142】まず、ビット線BLをプリチャージした後  
にフローティング状態にする。次に、読み出し選択され  
たメモリセルM2の制御ゲートの電圧を読み出し電圧V  
refに設定する。メモリセルM2以外のメモリセルM  
0、M1、M3乃至M15の制御ゲートの電圧を非選択  
読み出し電圧Vread、ふたつの選択トランジスタS  
1、S2のゲート電圧を読み出し電圧Vrefに設定  
し、ソース線Sourceを0Vとして、読み出し選択  
されたメモリセルM2に電流が流れるか否かをビット線  
BLで検出することにより行われる。

【0143】すなわち、選択メモリセルM2の閾値V  
thがVrefよりも大きい書き込み状態ならば選択メモ  
リセルM2はオフになるのでビット線BLはプリチャ  
ージ電位を保つ。

【0144】これに対して選択メモリセルM2の閾値V  
thがVrefよりも小さい読み出し状態ならば、メモ  
リセルはオンするのでビット線BLの電位はプリチャ  
ージ電位からΔVだけ低下する。この電位変化をセンスア  
ンプで検知することによってメモリセルのデータが読み  
出される。

【0145】ここでVrefは書き込み状態の閾値と消  
去状態の閾値の中間の電圧であり、Vreadは書き込  
み状態の閾値よりも高い電圧であり、Vccは選択トラ  
ンジスタの閾値よりも高い電圧である。

【0146】次に、AND型EEPROMに適用した場  
合のデータの読み出し動作を図10(B)を用いて説明  
する。

【0147】AND型EEPROMでは、ビット線BL  
に一端が接続された選択トランジスタS1の他端と、一  
端がソース線Sourceに接続された選択トランジ  
スタS2の他端との間に並列に複数個のメモリセルトラ  
ンジスタM0～M15が接続されて、メモリセルブロック  
55を構成している。

【0148】まず、ビット線BLをプリチャージした後  
にフローティング状態とする。次に、読み出し選択され  
たメモリセルM2の制御ゲートの電圧を読み出し電圧V  
refに設定する。読み出し選択されたメモリセルM2  
以外のメモリセルの制御ゲートの電圧を非選択読み出し  
電圧Vreadに設定する。

【0149】次に、選択トランジスタS1のゲート電圧  
を電源電圧Vccに設定し、ソース線Sourceを0  
Vとして、読み出し選択されたメモリセルM2に電流が  
流れるか否かをビット線BLで検出することにより行わ  
れる。

【0150】すなわち、選択されたメモリセルM2の閾  
値VthがVrefよりも大きい書き込み状態ならば、  
選択されたメモリセルM2はオフになるのでビット線B  
Lはプリチャージ電位を保つ。

【0151】これに対して、選択されたメモリセルM2

の閾値VthがVrefよりも小さい読み出し状態なら  
ば、選択されたメモリセルM2はオンするのでビット線  
BLの電位はプリチャージ電位からΔVだけ低下する。

【0152】この電位変化をデータ回路(図示せず)内  
のセンスアンプ(図示せず)で検知することによってメ  
モリセルのデータが読み出される。ここでVrefは書  
き込み状態の閾値と消去状態の閾値の中間の電圧を指  
し、Vreadは消去状態の閾値よりも低い電圧、Vc  
cは選択トランジスタの閾値よりも高い電圧である。

【0153】次に、NOR型EEPROMに適用した場  
合のデータの読み出し動作を図10(C)を用いて説明  
する。NOR型EEPROMでは、第1ビット線BL1  
に一端が接続されたメモリセルトランジスタM1の他端  
に選択されたメモリセルトランジスタM2の一端が接続  
され、他端は第1ビット線BL1に接続されている。こ  
の選択されたメモリセルトランジスタM1の他端に同様  
にメモリセルトランジスタM3の一端が接続されてい  
る。このようにメモリセルトランジスタM1～M3でメ  
モリセルブロック56が構成されている。

【0154】この第1ビット線BL1に平行に第2ビ  
ット線BL2が設けられ、第1のビット線BL1同様に複  
数のメモリセルトランジスタM4～M6が接続されてい  
る。まず、選択ビット線BL1をプリチャージ状態とし  
た後にフローティング状態に設定する。次に、読み出し  
選択されたメモリセルM2の制御ゲートの電圧を読み出  
し電圧Vrefに設定し、読み出し選択されたメモリセ  
ルM2以外のメモリセルの制御ゲートの電圧を非選択読  
み出し電圧Vreadに設定し、ソース線電圧をVs1  
として、読み出し選択されたメモリセルM2に電流が流  
れるか否かを選択ビット線BL1で検出することにより  
データの読み出し動作が行われる。

【0155】すなわち、選択されたメモリセルM2の閾  
値VthがVrefよりも大きい書き込み状態ならば選  
択されたメモリセルM2はオフになるので、選択ビッ  
ット線BLはプリチャージ電位を保つ。

【0156】これに対して、選択されたメモリセルM2  
の閾値VthがVrefよりも小さい読み出し状態なら  
ば選択されたメモリセルM2はオンするので、ビット線  
BLの電位はプリチャージ電位からΔVだけ低下する。

【0157】この電位変化をデータ回路(図示せず)内  
のセンスアンプ(図示せず)で検知することによってメ  
モリセルのデータが読み出される。ここでVrefは書  
き込み状態の閾値と消去状態の閾値の中間の電圧を指  
し、Vreadは消去状態の閾値よりも低い電圧、Vs  
1は通常0Vである。

【0158】なお、図10(A)、(B)に示した等価  
回路図では選択トランジスタはメモリセルと異なる構造  
をとっているが、メモリセルと同様に電荷蓄積層を有す  
る不揮発性メモリ構造にしても良い。またメモリセルの  
構造としてはフローティングゲート型メモリセルやMO

NOS型メモリセル等が適用できる。

【0159】本実施の形態の効果を図11を用いて説明する。図11は不揮発性メモリセルのデータ保持特性を示したものである。図11(A)は、横軸にデータ保持時間を表し、縦軸に閾値 $V_{th}$ を表している。図11

(A)は半導体基板57中に設けられた一対のソース・ドレイン拡散層58の上方に設けられた電荷蓄積層59、その上に設けられた制御ゲート60の構造の半導体記憶装置のデータ保持特性を表している。

【0160】図11(A)中で、■で示される実線は図11(B)に示されるような状態に対応している。すなわち、電荷蓄積層59に多くの負電荷が蓄積された状態に対応している。

【0161】図11(A)中で、■で示される実線は図11(C)に示されるような状態に対応している。すなわち、電荷蓄積層59に少ない負電荷が蓄積された状態に対応している。

【0162】図11(A)中で、■で示される実線は図11(D)に示されるような状態に対応している。すなわち、電荷蓄積層59に多い正電荷が蓄積された状態に対応している。

【0163】図11(A)中で、■で示される破線は、繰り返し書き換えを行う前に図11(D)に示される状態に対応している。

【0164】ここで、電荷蓄積層に溜められた電荷は長い時間をかけてリークしていき、最終的には、電荷ゼロ、つまり中性閾値 $V_{thi}$ に収束する。発明者は不揮発性メモリの電荷蓄積層において負のキャリア(電子)と正のキャリア(ホール)の電荷保持特性が異なることを見出した。

【0165】これは特に繰り返し書き込み消去を行った後のデータ保持において顕著であり、ホールの電荷保持特性が電子に比べて劣る結果が得られた。この特性は図11(A)において、負のキャリアを蓄積した■、■の実線の状態が保持時間の経過に伴い、あまり変化していないのに比べて、正の電荷を蓄積した■の実線の状態が保持時間の経過に伴い、急激に $V_{thi}$ に近づいていることで表されている。

【0166】このため従来行われていたように書き込み時に電子を溜め、消去時にホールを溜める方法では、電荷保持力に劣るホール蓄積状態の閾値変動によってデバイスの寿命が決定される問題があるといえる。

【0167】これに対し、本実施の形態においては消去状態においても負電荷を蓄積しているため、データ保持特性を改善することが出来る。

【0168】次に、本実施の形態をMONOS型メモリセルに適用した場合の効果について図12を用いて説明する。ここではトンネル酸化膜が4nm以下で消去にチャネル全面のホールのダイレクトトンネリングを用いる場合について説明する。もし、トンネル酸化膜の厚さが

5nm~6nm程度の場合は、ホットホールを用いて消去動作を行う。なお、絶縁膜厚はTEM(Transmission Electron Microscope:透過形電子顕微鏡)などを用いて測定することができる。

05 【0169】図12(A)にMONOS型メモリセルにおける消去特性を示す。図12(A)では、横軸を消去時間とし、縦軸を閾値 $V_{th}$ としている。ここでは、4種類の消去電圧の絶対値について特性を表している。ここで、 $V_{era1}$ は $V_{era2}$ よりもその絶対値が大きく、 $V_{era2}$ は $V_{era3}$ よりもその絶対値が大きく、 $V_{era3}$ は $V_{era4}$ よりもその絶対値が大きくなっている。

【0170】飽和消去深さ(消去閾値の変動量)は半導体基板からの正電荷注入と、ゲート電極からの負電荷注入のバランスにより決定されるが、消去電圧が高いほど飽和消去深さは浅くなる。このために深く消去するためには消去電圧を低く設定する必要があり、このため消去時間は長くなる。よって消去時間を短くするためには消去深さを浅くすることが望ましい。本実施例では消去状態においても電荷蓄積層に負電荷が溜められているため、電荷蓄積層中の正電荷によってブロック酸化膜中の電界が強められることがなく、このためゲート電極から不要な負電荷が注入されることもない。

【0171】このため消去電圧の絶対値を $V_{era2}$ から $V_{era1}$ へ変更して、消去閾値を $V_{the2}$ から $V_{the1}$ へ変えて中性閾値よりも高く設定することで消去時間が $T_{era2}$ から $T_{era1}$ となり、短縮が実現される。

【0172】この消去電圧が $V_{era1}$ の場合の消去時間が $T_{era2}$ 以降の消去特性メカニズムは図12(B)に示される。

【0173】図12(B)に示されるようにMONOS型メモリセルの消去は半導体基板Subから電荷蓄積層(シリコン窒化膜SiN)へ、右向き矢印のように正電荷を注入することで行われる。このときゲート電極gateは半導体基板Subから見て負にバイアスされている。

【0174】消去動作中に電荷蓄積層SiNに正の電荷(ホール)が蓄積されると、ホールがつくる自己電界によってトンネル酸化膜(Tunnel SiO<sub>2</sub>)中の電界は緩和され、半導体基板Subから電荷蓄積層SiNへのホールの注入量は減少する。

【0175】一方、電荷蓄積層SiNとゲート電極gate間のブロック酸化膜BlockSiO<sub>2</sub>中の電界は強められ、左向き矢印のようにゲート電極gateから電荷蓄積層SiNへ不要な負電荷がFN(Fowler Nordheim)注入される。

【0176】また図13(A)にMONOS型メモリセルにおけるデータ保持特性の電荷蓄積層SiN膜厚依存性の、発明者による実験データを示す。発明者は正電荷

蓄積状態のデータ保持特性がSiN膜厚に依存し、特にSiN膜厚が15nm以下、とりわけ、12nm以下の領域においてデータ保持特性の劣化が顕著である結果を得た。ここで、正電荷蓄積状態は図13(B)に示されるように半導体基板57上の電荷蓄積層59中にやや大目の正電荷が蓄積された状態に相当する。

【0177】一方、負電荷蓄積状態のデータ保持特性はSiN膜厚に依存せず、SiN膜を薄膜化してもデータ保持特性の劣化は観測されなかった。ここで、負電荷蓄積状態は図13(C)に示されるように半導体基板57上の電荷蓄積層59中に多い負電荷が蓄積された状態に相当する。

【0178】本実施の形態においては、書き込み消去ともに負電荷蓄積状態を用いているので、書き込み消去電圧を低下させる目的でSiN膜を薄膜化した場合にもデータ保持特性の劣化はなく、低電圧化に有利である。特にSiN膜の物理膜厚が15nm以下、とりわけ12nm以下である場合に効果がありこれによって書き込み/消去電圧も20V以下にすることが可能である。

【0179】また、本実施の形態においては消去状態に正電荷を蓄積しないので、繰り返し書き換えによる信頼性劣化を回避することが出来る。

【0180】よってこれらの点からもSiN膜を電荷蓄積層として用いたMONOS型セルにおいて、本実施例の効果は特に大きいといえる。

【0181】ここで、第1の実施の形態で、負電荷を蓄積する動作をさせると本実施の形態が実現できる。

【0182】なお、NAND型EEPROMに本実施の形態を適用する場合の等価回路図、上面図、断面図は第1の実施の形態において説明した図4乃至図7がそのまま適用できる。

【0183】(第2の実施の形態の第1の変形例) 本変形例は図14、15、16を用いてNAND型EEPROMに変えて、NOR型EEPROMに適用した場合を説明する。図14(A)にはNOR型EEPROMの等価回路図が示される。NOR型EEPROMでは、第1ビット線BL1に一端が接続されたメモリセルトランジスタM0の他端にメモリセルトランジスタM1の一端が接続され、他端は第1ビット線BL1に接続されている。このメモリセルトランジスタM1の他端に同様にメモリセルトランジスタM2の一端が接続されている。

【0184】NORメモリセルでは1つのトランジスタによってメモリセルブロックが形成されている。また、それぞれのトランジスタは、同一のウェル上に形成されている。それぞれのメモリセルの制御電極は、データ選択線WL0~WL2に接続されている。

【0185】この第1ビット線BL1に平行に第2ビット線BL2が設けられ、第1のビット線BL1同様に複数のメモリセルトランジスタM0'~M2'が接続されている。

【0186】このNOR型EEPROMの上面図が図14(B)に示される。特に、図14(B)では、セル構造をわかりやすくするために、ゲート電極よりも下の構造のみを示している。図14(B)では、図中上下方向に3本のビット線BLi(iは自然数)が配置され、それらに直交して共通ソース線SLが2本配置されている。また、ワード線WL0~WL2が共通ソース線SLに平行に配置されている。各ビット線BLi上のワード線WL0~WL2と交差していない部分にはビット線コンタクト61が設けられている。

【0187】次にNOR型EEPROMにて図14(B)の“A-B”線上での浮遊ゲートの場合の断面図が図15に示される。図7(A)と同様に、P型半導体基板4上にN型ウェル5が形成されていて、その上にP型ウェル6が形成され、その上の3から15nmの厚さからなるシリコン酸化膜またはオキシナイトライド膜から形成されたトンネルゲート絶縁膜30を介して、例えばリンまたは砒素を $10^{11} \sim 10^{12} \text{ cm}^{-2}$ 添加したポリシリコンからなる電荷蓄積層31が10nmから500nmの厚さで形成されている。

【0188】これらは、図7(B)に示されるような、例えば、シリコン酸化膜からなる素子分離絶縁膜26が形成されていない領域上に、P型ウェル6と自己整合的に形成されている。この上に、厚さ5nmから30nmの間のシリコン酸化膜またはオキシナイトライド膜、またはシリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなるインターポリ絶縁膜32を介して、WSi(タングステンシリサイド)とポリシリコンとのスタック構造、CoSiとポリシリコンのスタック構造、金属とポリシリコンとのスタック構造、又は金属やポリシリコン、WSi, NiSi, MoSi, TiSi, CoSiなどの単層構造からなる制御ゲート33が10nmから500nmの厚さで形成されている。

【0189】制御ゲート33上にはゲートキャップ絶縁膜34が形成されている。

【0190】ゲートキャップ絶縁膜34、制御ゲート33、インターポリ絶縁膜32、電荷蓄積層31、トンネルゲート絶縁膜30の側面は、ゲート側壁絶縁膜35で覆われていて、これらがゲート電極36を形成する。そのゲート長としては、0.5 $\mu\text{m}$ 以下0.01 $\mu\text{m}$ 以上とする。

【0191】図15に示すように、これらゲート電極36の一方側には、ゲート側壁絶縁膜35を挟んでソースまたはドレイン電極となるN型拡散層37が形成されている。ゲート電極36の他方側には、ゲート側壁絶縁膜35を挟んでデータ転送線19とコンタクト61を介して接続されているソースまたはドレイン電極となるN型拡散層18が形成されている。これらN型拡散層18、37及びゲート電極36により、電荷蓄積層31に蓄積された電荷量を情報量とする浮遊ゲート型EEPROM

セルが形成されている。

【0192】これらソース・ドレインN型拡散層18、37は隣接するメモリセル同士共有され、NOR接続が実現されている。

【0193】さらに、これらデータ転送線19とP型ウエル6との間は、例えばSiO<sub>2</sub>やSi<sub>3</sub>N<sub>4</sub>などからなる例えば5nmから200nmの厚さの層間膜24によって充填されている。

【0194】さらに、このデータ転送線19上部には、絶縁膜保護層25が形成されている。その上には、図には示していないが、上部配線が形成されている。なお、図14(B)の“C-D”線上での浮遊ゲートの場合の断面図は図7(B)に示される構造と同様である。

【0195】次に、本変形例をNOR型EEPROMでMONOS型ゲートに適用した場合の構成を図16を用いて説明する。

【0196】本変形例はその等価回路図は図14(A)と同じであり、その上面図は図14(B)と同じであり、その図14(B)における“A-B”線上での断面が図16に相当し、その図14(B)における“C-D”線上での断面が図5(B)と同じである。

【0197】図16に示された断面では、図15における浮遊ゲート型であるゲート電極36の構造に替えて、図5(A)に示されるMONOS型であるゲート電極13の構造が用いられていて、他の構成は図15と同じである。

【0198】(第2の実施の形態の第2の変形例) 本変形例はAND型EEPROMに適用した例である。図17、18には浮遊ゲート型メモリセル構造を有する場合の例が示される。

【0199】図17(A)には、ANDメモリセルアレイの等価回路図が示される。浮遊ゲート電極を有するMOSトランジスタからなる不揮発性メモリセルM0~M15が電流端子を並列に接続され、一端が選択トランジスタS1を介してデータ転送線BLに接続されている。また他の一端は選択トランジスタS2を介して共通ソース線SLに接続されている。また、それぞれのトランジスタは、同一のウエル上に形成されている。

【0200】それぞれのメモリセルM0~M15の制御電極は、データ選択線WL0~WL15に接続されている。また、データ転送線に沿った複数のメモリセルブロックから1つのメモリセルブロックを選択してデータ転送線に接続するため、選択トランジスタS1の制御電極はブロック選択線SSLに接続されている。

【0201】さらに、選択トランジスタS2の制御電極はブロック選択線GSLに接続されており、AND型メモリセルブロック65(点線の領域)を形成している。本変形例では、メモリセルブロック65に16個、即ち2の4乗個のメモリセルが接続されている例を示したが、データ転送線BLおよびデータ選択線WL0~WL

5に接続するメモリセルの数は複数であればよく、2のn乗個(nは正の整数)であることがアドレスデコードをする上で望ましい。

【0202】さらに、図17(B)には、メモリセルブロック65の上面図が示され、セル構造をわかりやすくするために、ゲート電極よりも下の構造のみを示している。図17(B)において、左右方向に延びているブロック選択線SSLの上には、ビット線コンタクト66が設けられていて、図17(B)中上下方向に延びているビット線BLから電位が選択トランジスタS1の拡散層に与えられている。また、図17(B)中左右方向に延びているブロック選択線GSLの下方には共通ソース線コンタクト67が設けられて、共通ソース線SLから選択トランジスタS2へ電位が与えられている。

【0203】図18(A)は、図17(B)における“A-B”線上での断面を示し、図18(B)は図17(B)における“C-D”線上での断面を示す。例えば、3nmから15nmの厚さからなるシリコン酸化膜またはオキシナイトライド膜から形成されたトンネルゲート絶縁膜30を介して、例えばリンまたは砒素を10<sup>11</sup>~10<sup>12</sup>cm<sup>-3</sup>添加したポリシリコンからなる電荷蓄積層31が10nmから500nmの厚さで形成されている。これらは、例えば、シリコン酸化膜からなる素子分離絶縁膜26が形成されていない領域上に、P型ウエル6と自己整合的に形成されている。

【0204】この上に、例えば、厚さ5nmから30nmの間のシリコン酸化膜またはオキシナイトライド膜、またはシリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなるインターポリ絶縁膜32が形成されている。これは、例えば、P型ウエル6にトンネルゲート絶縁膜30及び電荷蓄積層31を全面堆積した後、パターニングしてP型ウエル6に達するまで、例えば0.05~0.5μmの深さまでエッチングし、絶縁膜を埋め込むことで形成することができる。

【0205】このようにメモリセル部のトンネルゲート絶縁膜30及び電荷蓄積層31を段差の少ない平面に全面形成できるので、より均一性の向上した特性の揃った製膜を行うことができる。

【0206】また、セル部の層間絶縁膜68とN型拡散層37は、トンネル絶縁膜30を形成する前にあらかじめトンネル絶縁膜30を形成する部分に例えば、ポリシリコンによるマスク材を形成し、イオン注入によってN型拡散層37を形成後、全面に層間絶縁膜68を堆積し、CMP及びエッチバックによってトンネル絶縁膜30部分に相当する部分の前記マスク材を選択的に取り除くことで自己整合的に形成することができる。

【0207】さらに、WSi(タングステンシリサイド)とポリシリコンとのスタック構造、CoSiとポリシリコンのスタック構造、金属とポリシリコンとのスタック構造、又は金属やポリシリコン、WSi、NiS

i, MoSi, TiSi, CoSiなどの単層構造からなる制御ゲート33が10nmから500nmの厚さで形成されている。この制御ゲート33は、図10(B)において隣接するメモリセルブロックで接続されるように図18(B)において、紙面左右方向にブロック境界まで形成されており、データ選択線WL0~WL15及び、ブロック選択線SSL, GSLを形成している。

【0208】なお、P型ウエル6は、N型ウエル5によってP型半導体基板4と独立に電圧印加できるようになっていることが、消去時の昇圧回路負荷を減らし消費電力を抑えるためには望ましい。メモリセル部のP型ウエル6はN型ウエル5によって囲まれていて、このP型ウエル6に消去電圧を印加した場合、メモリセル部以外は、昇圧されないで消費電力を抑制できる。

【0209】図18(B)に示されるように、メモリセルに相当する断面において、これらゲート電極の下には、例えば5nmから200nmの厚さのシリコン酸化膜又はオキシナイトライド膜からなる層間絶縁膜68を挟んでソースまたはドレイン電極となるN型拡散層37が形成されている。これらN型拡散層37、電荷蓄積層31、および制御ゲート33により、電荷蓄積層に蓄積された電荷量を情報量とする浮遊ゲート型EEPROMセルが形成されており、そのゲート長としては、0.5μm以下0.01μm以上とする。

【0210】図18(B)のように、層間絶縁膜68はソース・ドレイン電極37を覆うように、チャネル上にも形成される方が、ソース・ドレイン端での電界集中による異常書き込みを防止する上で望ましい。これらソース・ドレインN型拡散層37としては、例えばリンや砒素、アンチモンを表面濃度が $10^{11} \sim 10^{12} \text{ cm}^{-2}$ となるように深さ10nmから500nmの間で形成されている。さらに、これらN型拡散層37はビット線BL方向に隣接するメモリセル同士で共有され、AND接続が実現されている。

【0211】また、ブロック選択線SSL, GSLは、制御ゲート33に接続されており、ブロック選択線部では、電荷蓄積層31と制御ゲート33の間のインターポリ絶縁膜32が剥離され、EEPROMのデータ選択線WL0~WL15と同層で形成されている。

【0212】ここで、図17(B)及び図18(A)に示されるように、ブロック選択トランジスタS1は、N型拡散層37をソース・ドレイン電極とし、制御ゲート33をゲート電極としたMOSFETとして形成されており、ブロック選択トランジスタS2は、N型拡散層37をソース・ドレイン電極とし、制御ゲート33をゲート電極としたMOSFETとして形成されている。

【0213】ここで、ブロック選択トランジスタS1、S2のゲート電極のゲート長は、メモリセルのゲート電極のゲート長よりも長く、例えば、1μm以下0.02μm以上で形成することにより、ブロック選択時と非選

択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【0214】次に、電荷蓄積層としてSiN等の絶縁膜を用いたMONOS型メモリセル構造を有する場合について説明する。

【0215】図19(A)には、ANDメモリセルアレイの等価回路図が示される。MONOS型ゲート電極を有するMOSトランジスタからなる不揮発性メモリセルM0~M15が電流端子を並列に接続され、一端が選択トランジスタS1を介してデータ転送線BLに接続されている。また他の一端は選択トランジスタS2を介して共通ソース線SLに接続されている。また、それぞれのトランジスタは、同一のウエル上に形成されている。

【0216】それぞれのメモリセルM0~M15の制御電極は、データ選択線WL0~WL15に接続されている。また、データ転送線BLに沿った複数のメモリセルブロックから1つのメモリセルブロックを選択してデータ転送線BLに接続するため、選択トランジスタS1の制御電極はブロック選択線SSLに接続されている。

【0217】さらに、選択トランジスタS2の制御電極はブロック選択線GSLに接続されており、AND型メモリセルブロック65(点線の領域)を形成している。本変形例では、メモリセルブロック65に16個、即ち2の4乗個のメモリセルが接続されている例を示したが、データ転送線BLおよびデータ選択線WL0~WL15に接続するメモリセルの数は複数であればよく、2のn乗個(nは正の整数)であることがアドレスデコードをする上で望ましい。

【0218】さらに、図19(B)には、メモリブロック65の上面図が示され、セル構造をわかりやすくするために、ゲート電極よりも下の構造のみを示している。図19(B)において、左右方向に延びているブロック選択線SSLの上には、ビット線コンタクト66が設けられていて、図19(B)中で、上下方向に延びているビット線BLから電位が選択トランジスタS1の拡散層に与えられている。また、図19(B)中で、左右方向に延びているブロック選択線GSLの下方には共通ソース線コンタクト67が設けられて、共通ソース線SLから選択トランジスタS2へ電位が与えられている。

【0219】図20(A)は、図19(B)における“A-B”線上での断面を示し、図20(B)は図19(B)における“C-D”線上での断面を示す。例えば、0.5から10nmの厚さからなるシリコン酸化膜またはオキシナイトライド膜からなるトンネルゲート絶縁膜7を介して、例えばポリシリコンやWSi(タンゲステンシリサイド)とポリシリコンとのスタック構造、または、NiSi, MoSi, TiSi, CoSiとポリシリコンのスタック構造からなる制御ゲート10が10nmから500nmの厚さで形成されている。

【0220】図20(B)の断面に示されるように、ト

ンネルゲート絶縁膜7上には、例えばシリコン窒化膜からなる電荷蓄積層8が4 nmから50 nmの厚さで形成されている。この上に、例えば、厚さ2 nmから30 nmの間のシリコン酸化膜またはオキシナイトライド膜からなるブロック絶縁膜9が形成されている。制御ゲート10上には、例えばポリシリコン層が10 nmから50 nmの厚さでゲートキャップ絶縁膜11が形成されている。これらは、例えば、シリコン酸化膜からなる素子分離絶縁膜26が形成されていない領域上に、P型ウェル6と自己整合的に形成されている。

【0221】これは、例えば、P型ウェル6にトンネルゲート絶縁膜7、電荷蓄積層8、ブロック絶縁膜9、及び制御ゲート10を全面堆積した後、パターニングしてP型ウェル6に達するまで、例えば0.05~0.5  $\mu$ mの深さまでエッチングし、絶縁膜を埋め込むことで形成することができる。このようにトンネルゲート絶縁膜7、電荷蓄積層8、ブロック絶縁膜9を段差の少ない平面に全面形成できるので、均一性のより向上した特性の揃った製膜を行うことができる。

【0222】また、セル部の層間絶縁膜68とN型拡散層37は、トンネルゲート絶縁膜7を形成する前にあらかじめトンネルゲート絶縁膜7を形成する部分に例えば、ポリシリコンによるマスク材を形成し、イオン注入によってN型拡散層を形成後、全面に層間絶縁膜8を堆積し、CMP (Chemical Mechanical Polishing) およびエッチバックによってトンネルゲート絶縁膜7部分に相当する部分の前記マスク材を選択的に取り除くことで自己整合的に形成することができる。その他の構造については図18と同様であるので説明を省略する。

【0223】図5、6、16、20に示された形態では、MONOS型セルを用いているため、浮遊ゲート型EEPROMセルよりも書き込み電圧および消去電圧を低電圧化することができ、素子分離間隔を狭めゲート絶縁膜厚を薄膜化しても耐圧を維持することができる。

【0224】よって、高電圧が印加される回路の面積を小さくでき、チップ面積をより縮小することができる。さらに、浮遊ゲート型メモリセルと比較して、MONOS型メモリセルでは、電荷蓄積層8の厚さを20 nm以下に小さくでき、ゲート形成時のアスペクトをより低減でき、ゲート電極の加工形状を向上させ、層間絶縁膜24のゲート間の埋め込みも向上させることができ、耐圧をより向上させることができる。

【0225】また、浮遊ゲート電極を形成するためのプロセスやスリット作成プロセスが不要であり、よりプロセス工程を短くすることができる。また、電荷蓄積層8が絶縁体で、1つ1つの電荷トラップに電荷が捕獲されているので、放射線に対して電荷が抜けにくく強い耐性を持たせることができる。

【0226】また図19及び図20では選択トランジスタはMOS構造をとっているがメモリセルと同じMON

OS構造としても良い。この場合、選択トランジスタとメモリセルトランジスタを作り分けるための工程を省略できるので製造コストが削減され、また作り分けのための余裕をとる必要が無いので選択トランジスタとメモリセル間の距離を小さくすることが可能で素子面積を縮小することができる。

【0227】書き込み、消去のいずれの状態も負電荷蓄積状態を用いているため不揮発性メモリのデータ保持特性を改善することが可能で、特に繰り返し書き換え後の消去状態のデータ保持特性を改善する。

【0228】また、MONOS型メモリセルにおいて、消去時間を短縮し、SiNの薄膜化によるデータ保持特性の低下を回避できるためSiNを12 nm以下に薄膜化することが可能となり低電圧化に適し、正電荷蓄積状態を使わないため繰り返し書き換え後の信頼性を向上することが出来る。

【0229】また中性閾値が例えば0 Vよりも高い場合には、「書き込み、消去のいずれの状態も負電荷蓄積状態を用いている」ということは、「書き込み、消去のいずれの閾値も正である」ということになるので、このような場合、第1の実施の形態においても本実施の形態と同様な効果がある。

【0230】(第3の実施の形態) 図21 (A) に本実施の形態におけるデータの記憶状態が示される。本実施の形態に特徴的なことはメモリセルの書き込み状態および消去状態のいずれの閾値も選択トランジスタの閾値よりも高いことである。図21においては、横軸がメモリセル数を指し、縦軸が閾値を示す。

【0231】ここで、書き込み状態では、その閾値の分布は上限、下限ともにVrefよりも大きい値になっている。消去状態では、その閾値の分布は上限、下限ともにVrefよりは小さく、選択トランジスタの閾値Vthsgよりは大きい値となっている。

【0232】また、場合により図21 (B) に示すように書き込み状態のすべて、及び消去状態の一部のメモリセルの閾値が選択トランジスタの閾値よりも高い、つまり消去状態の閾値分布が選択トランジスタの閾値をまたいでいることである。

【0233】ここで、書き込み状態では、その閾値の分布は上限、下限ともにVrefよりも大きい値となっている。消去状態では、その閾値の分布は上限がVrefよりは小さく、かつ、選択トランジスタの閾値Vthsgよりは大きい値となっている。その下限はVthsgよりも小さい値となっている。

【0234】次に、図22 (A) を用いて本実施形態をNAND型EEPROMに適用した場合の読み出し動作を説明する。ビット線BLをプリチャージした後にフローティングにし、読み出し選択されたメモリセルM2の制御ゲートの電圧を読み出し電圧Vref、それ以外のメモリセルM0、M1、M3乃至M15の制御ゲートの

電圧を非選択読み出し電圧 $V_{read}$ 、選択トランジスタ $S_1$ 、 $S_2$ のゲート電圧を電源電圧 $V_{cc}$ 、ソース線を $0V$ として、読み出し選択されたメモリセル $M_2$ に電流が流れるか否かをビット線 $BL$ で検出することにより行われる。

【0235】すなわち、読み出し選択されたメモリセル $M_2$ の閾値 $V_{th}$ が $V_{ref}$ よりも大きい書き込み状態ならばメモリセルはオフになるのでビット線 $BL$ はプリチャージ電位を保つ。

【0236】これに対して、読み出し選択されたメモリセル $M_2$ の閾値 $V_{th}$ が $V_{ref}$ よりも小さい読み出し状態ならばメモリセルはオンするのでビット線 $BL$ の電位はプリチャージ電位から $\Delta V$ だけ低下する。この電位変化をデータ回路(図示せず)内のセンスアンプで検知することによってメモリセルのデータが読み出される。

【0237】ここで $V_{ref}$ は書き込み状態の閾値と消去状態の閾値の中間の電圧であり、 $V_{read}$ は書き込み状態の閾値よりも高い電圧であり、 $V_{cc}$ は選択トランジスタの閾値よりも高い電圧である。

【0238】また選択トランジスタ $S_1$ 、 $S_2$ のゲートに与える電圧として $V_{cc}$ のかわりに図22(B)に示すように $V_{ref}$ を与えても良い。

【0239】また、図22(C)に示すように選択ゲート $S_1$ 、 $S_2$ に $V_{read}$ を与えても良い。

【0240】また、図22(C)で $V_{read}$ を $V_{cc}$ と等しく設定しても良いし、 $V_{ref}$ を $V_{cc}$ と等しく設定しても良い。これらの場合、読み出し時に扱う電圧の種類が減るので周辺回路を単純化して、面積や工程数を縮小させることができる。

【0241】次に、図23(A)を用いて本実施形態をAND型EEPROMに適用した場合のデータの読み出し動作を説明する。まず、ビット線 $BL$ をプリチャージした後にフローティングにし、読み出し選択されたメモリセル $M_2$ の制御ゲートの電圧を読み出し電圧 $V_{ref}$ に設定し、それ以外のメモリセルの制御ゲートの電圧を非選択読み出し電圧 $V_{read}$ に設定し、選択トランジスタ $S_1$ 、 $S_2$ のゲート電圧を電源電圧 $V_{cc}$ として、ソース線 $Source$ を $0V$ として、読み出し選択されたメモリセル $M_2$ に電流が流れるか否かをビット線 $BL$ で検出することにより行われる。

【0242】すなわち、読み出し選択されたメモリセル $M_2$ の閾値 $V_{th}$ が $V_{ref}$ よりも大きい書き込み状態ならばメモリセル $M_2$ はオフになるのでビット線 $BL$ はプリチャージ電位を保つ。これに対して読み出し選択されたメモリセル $M_2$ の閾値 $V_{th}$ が $V_{ref}$ よりも小さい読み出し状態ならば、メモリセル $M_2$ はオンするのでビット線 $BL$ の電位はプリチャージ電位から $\Delta V$ だけ低下する。この電位変化をセンスアンプで検知することによってメモリセルのデータが読み出される。

【0243】ここで $V_{ref}$ は書き込み状態の閾値と消

去状態の閾値の中間の電圧であり、 $V_{read}$ は消去状態の閾値よりも低い電圧であり、 $V_{cc}$ は選択トランジスタ $S_1$ 、 $S_2$ の閾値よりも高い電圧である。

【0244】また選択トランジスタ $S_1$ 、 $S_2$ のゲートに与える電圧として $V_{cc}$ の代わりに図23(B)に示すように $V_{ref}$ を与えても良い。

【0245】また、図23(C)に示すように $V_{read}$ を与えても良い。また、図23(C)で、 $V_{read}$ を $V_{cc}$ としても良いし、 $V_{ref}$ を $V_{cc}$ としても良い。これらの場合、読み出し時に扱う電圧の種類が減るので周辺回路を単純化して面積や工程数を縮小させることができる。

【0246】なお、図22及び図23に示した等価回路図では選択トランジスタは電荷蓄積層を持たない構造となっているが、メモリセルと同じ不揮発性メモリ構造としても良い。この場合、選択トランジスタとメモリセルトランジスタを作り分けるための工程を省略できるので製造コストが削減され、また作り分けのための余裕をとる必要が無いので選択トランジスタとメモリセル間の距離を小さくすることが可能で素子面積を縮小することができる。

【0247】NAND又はAND型EEPROMの読み出し動作において、ビット線に流れる電流は主に読み出し選択されたメモリセルのチャネルコンダクタンスによって決定されるが、このほかに選択トランジスタのチャネルコンダクタンスの影響も受ける。つまり選択トランジスタの閾値ばらつきの影響をうけ、誤読み出しの原因となる。これを回避するためには選択トランジスタの閾値分布が読み出し時に選択ゲートにかかる電圧よりも十分低く、従って選択トランジスタのチャネルコンダクタンスがメモリセルに比べて十分大きいことが望ましい。

【0248】ここで、選択トランジスタのチャネルコンダクタンスがメモリセルに比べて、十分大きいとは、読み出し時にビット線に流れる電流が選択トランジスタの閾値によって変動しない範囲を指す。例えば、選択トランジスタの閾値が $V_{thsg}$ 、書き込みメモリの閾値が $V_{thw}$ である場合、選択ゲート電圧 $V_{sg}$ 、読み出し非選択ゲート電圧を $V_{read}$ とした場合、数8のようになる。

【0249】

【数8】

$$(V_{sg} - V_{thsg}) \geq (V_{read} - V_{thw})$$

本実施の形態においては選択トランジスタの閾値がメモリセルの消去状態の閾値と同じか、メモリセルの閾値より低いために、選択トランジスタのチャネルコンダクタンスは常に十分に高く、選択トランジスタの閾値ばらつきがビット線電流に影響することはない。

【0250】また、本実施の形態においては読み出し動作時に選択ゲートに与える電圧を、選択メモリセルまたは非選択のメモリセルの制御ゲートに与える電圧と共通



化することが出来るので、回路を単純化することが可能となる。

【0251】また、本実施の形態において選択トランジスタをメモリセルと同じ不揮発性メモリ構造とした場合には、メモリセルの消去時に選択トランジスタにもメモリセルと同様の電圧を印加すれば、選択トランジスタの閾値をメモリセルの消去閾値と同じにすることが可能である。また選択トランジスタにメモリセルよりも高い電圧を印加すればメモリセルよりも低い消去閾値とすることが可能である。

【0252】本実施の形態をNAND型EEPROMに適用した場合の等価回路図、平面図及び断面図は、図4、5、6、7に示される通りである。また、AND型EEPROMに適用した場合の等価回路図、平面図及び断面図は、図17、18、19、20に示される通りである。

【0253】以上の説明では、NAND、NOR及びAND型EEPROMを例にしているが発明の実施形態はこれに限定されることなく、DINOR型等の記憶装置に適用することもできる。

【0254】またメモリセル構造として浮遊ゲート型とMONOS型を例に説明したが、これに限らず電荷蓄積層を有するその他の半導体装置に対しても同様の効果がある。ここで、MONOSメモリでは、ゲート電極が単層構造なので、ゲートに印加された電圧がすべて、電荷蓄積層下のONO (Oxide-Nitride-Oxide) 膜に印加されることになり、低電圧動作が可能である。

【0255】一方、浮遊ゲート型メモリでは、制御ゲートと浮遊ゲートの間にインターポリ絶縁膜が存在するため、ゲート電極に印加された電圧がすべてトンネル酸化膜に印加されることがなく、インターポリ絶縁膜及びトンネル酸化膜の両方に印加されるので、その動作はMONOS型メモリよりも高電圧化が必要である。

【0256】また各実施の形態では図24 (A) に示されるようにVref以上の閾値の書き込み状態と、Vref以下の閾値の消去状態とを有し、一つのメモリセルに“書き込み”、“消去”のふたつの状態を記憶する2値メモリセルを例に説明したが、三つ以上の状態を記憶する多値メモリセルに適用することもできる。この場合のデータの記憶状態を図24 (B) を用いて説明する。

【0257】多値メモリセルにおいて、一つのメモリセルに記憶する状態の数をn (nは2以上の自然数) 個として、閾値の低い順番に“1”状態、“2”状態・・・“n”状態とする。また“1”状態と“2”状態を区別する電圧をVref1とすると、上述した2値メモリセルの“消去状態”を多値メモリセルの“1”状態、2値メモリセルの“Vref”を多値メモリセルの“Vref1”と読みかえて、上記各実施の形態と同様の形態で実施することができる。

【0258】また、第3の実施の形態においては選択ト

ランジスタの閾値Vthsgを“1”状態～“n”状態のいずれかと同じ (分布中に含まれる) にすることができる。また読み出し動作時に選択ゲートに与える電圧をVref1～Vrefn-1のいずれかと同じにすることで第3の実施の形態と同様の効果を得ることができる。

【0259】発明の実施形態は上記実施例に限定されず、発明の趣旨を逸脱しない範囲で種々変形して使用することができる。またそれぞれの実施形態は単独で使用されとは限らず、複数の実施の形態を組み合わせ使用することもできる。

【0260】

【発明の効果】本発明によれば、リードディスタープ特性を向上させて、高集積化された半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】 (A) は、第1の実施の形態におけるデータ読み出し動作を表す回路図であり、(B) は、第1の実施の形態におけるデータの記憶状態の一例を表す閾値の分布図であり、(C) は、第1の実施の形態におけるデータの記憶状態の一例を表す閾値の分布図である。

【図2】 (A) は、第1の実施の形態におけるリードディスタープを考慮した閾値設定を表す閾値の分布図であり、(B) は、不揮発性メモリのリードディスタープ特性を表す図である。

【図3】 第1の実施の形態におけるリードディスタープを考慮した閾値設定を表す閾値とVreadとの関係図。

【図4】 (A) は、第1の実施の形態におけるNANDメモリセルの一例の等価回路図であり、(B) は、第1の実施の形態におけるNANDメモリセルの上面図である。

【図5】 (A) は、第1の実施の形態におけるMONOS型NANDメモリセルの図4 (B) における“A-B”線上の断面図であり、(B) は、第1の実施の形態におけるMONOS型NANDメモリセルの図4 (B) における“C-D”線上の断面図である。

【図6】 (A) は、第1の実施の形態の変形例におけるMONOS型NANDメモリセルの第2の例の等価回路図であり、(B) は、第1の実施の形態の第1の変形例におけるMONOS型NANDメモリセルの図4 (B) における“A-B”線上の断面図である。

【図7】 (A) は、第1の実施の形態の第2の変形例における浮遊ゲート型NANDメモリセルの図4 (B) における“A-B”線上の断面図であり、(B) は、第1の実施の形態の第2の変形例における浮遊ゲート型NANDメモリセルの図4 (B) における“C-D”線上の断面図である。

【図8】 (A) は、第2の実施の形態におけるデータの記憶状態の一例を表す閾値の分布図であり、(B) は、第2の実施の形態におけるデータの記憶状態の一例



の書き込み状態を表す模式図であり、(C)は、第2の実施の形態におけるデータの記憶状態の一例の消去状態を表す模式図である。

【図9】 (A)は、第2の実施の形態におけるデータの記憶状態の第二の例を表す閾値の分布図であり、

(B)は、第2の実施の形態におけるデータの記憶状態の第二の例の書き込み状態を表す模式図であり、(C)は、第2の実施の形態におけるデータの記憶状態の第二の例の第一の場合の消去状態を表す模式図であり、

(D)は、第2の実施の形態におけるデータの記憶状態の第二の例の第二の場合の消去状態を表す模式図である。

【図10】 (A)は、第2の実施の形態におけるNANDメモリセルの等価回路図であり、(B)は、第2の実施の形態におけるANDメモリセルの等価回路図であり、(C)は、第2の実施の形態におけるNORメモリセルの等価回路図である。

【図11】 (A)は、不揮発性メモリのデータ保持特性を表す図であり、(B)は、多くの負電荷が蓄積された状態の不揮発性メモリを表す模式図であり、(C)は、少数の負電荷が蓄積された状態の不揮発性メモリを表す模式図であり、(D)は、正電荷が蓄積された状態の不揮発性メモリを表す模式図である。

【図12】 (A)は、MONOSメモリの消去時間と閾値の関係を表す図であり、(B)は、MONOSメモリにおける消去動作を表す模式図である。

【図13】 (A)は、MONOSメモリのデータ保持特性の電荷蓄積層SiN膜厚依存性を表す図であり、

(B)は、正電荷が蓄積された状態の不揮発性メモリを表す模式図であり、(C)は、負電荷が蓄積された状態の不揮発性メモリを表す模式図である。

【図14】 (A)は、第2の実施の形態の第1の変形例におけるNORメモリセルの等価回路図であり、

(B)は、第2の実施の形態の第1の変形例におけるNORメモリセルの上面図である。

【図15】 第2の実施の形態の第1の変形例において、NOR浮遊ゲート型メモリの図14(B)の“A-B”線上での断面図。

【図16】 第2の実施の形態の第1の変形例において、NOR MONOS型メモリの図14(B)の“A-B”線上での断面図。

【図17】 (A)は、第2の実施の形態の第2の変形例において、AND浮遊ゲート型メモリの等価回路図であり、(B)は、第2の実施の形態の第2の変形例において、AND浮遊ゲート型メモリの上面図である。

【図18】 (A)は、図17(B)における“A-B”線上での断面図であり、(B)は、図17(B)における“C-D”線上での断面図である。

【図19】 (A)は、第2の実施の形態の第2の変形例において、AND MONOS型メモリの等価回路図であ

り、(B)は、第2の実施の形態の第2の変形例において、AND MONOS型メモリの上面図である。

【図20】 (A)は、図19(B)における“A-B”線上での断面図であり、(B)は、図19(B)における“C-D”線上での断面図である。

【図21】 (A)は、第3の実施の形態におけるデータの記憶状態の一例を表す閾値の分布図であり、(B)は、第3の実施の形態におけるデータの記憶状態の第二の例を表す閾値の分布図である。

【図22】 (A)は、第3の実施の形態のNAND型メモリにおける読み出し動作を表す第1の例の回路図、(B)は、第3の実施の形態のNAND型メモリにおける読み出し動作を表す第2の例の回路図、(C)は、第3の実施の形態のNAND型メモリにおける読み出し動作を表す第3の例の回路図である。

【図23】 (A)は、第3の実施の形態のAND型メモリにおける読み出し動作を表す第1の例の回路図、(B)は、第3の実施の形態のAND型メモリにおける読み出し動作を表す第2の例の回路図、(C)は、第3の実施の形態のAND型メモリにおける読み出し動作を表す第3の例の回路図である。

【図24】 (A)は、2値セルにおけるデータ記憶状態を表す図であり、(B)は、多値セルにおけるデータ記憶状態を表す図である。

【図25】 (A)、(B)、(C)は、従来の浮遊ゲート型不揮発性メモリにおける消去動作を表す模式図であり、(D)、(E)、(F)は、従来のMONOS型不揮発性メモリにおける消去動作を表す模式図である。

【図26】 (A)は、従来技術におけるデータ記憶状態を表す図であり、(B)は、従来技術における書き込み状態を表す模式図であり、(C)は、従来技術における消去状態を表す模式図である。

【図27】 従来のNAND型メモリセルのデータの記憶状態を表す図。

【図28】 従来のNAND型メモリセルの読み出し動作を説明する回路図。

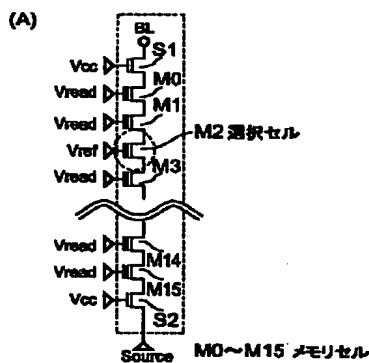
【図29】 (A)は、従来のNAND型メモリセルの非選択セルの閾値変化を表す図であり、(B)は、従来のNAND型メモリセルの記憶状態の変化を表す図である。

#### 【符号の説明】

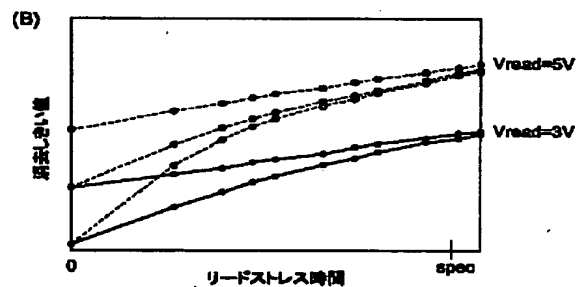
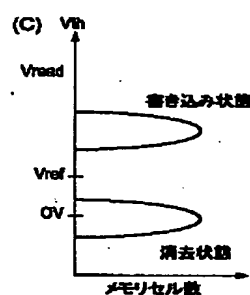
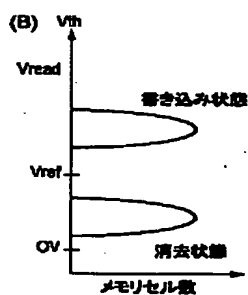
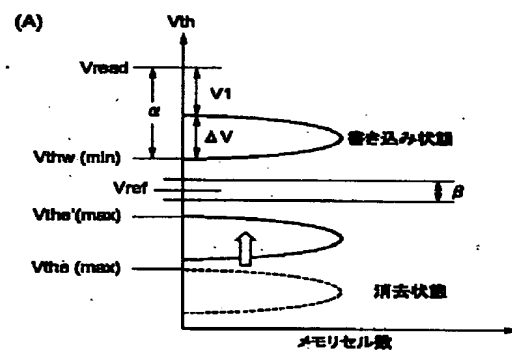
- 1、27、55、56、65 メモリセルブロック
- 2、61 BLコンタクト
- 3 SLコンタクト
- 4 P型半導体基板
- 5 N型ウエル
- 6 P型ウエル
- 7、30 トンネルゲート絶縁膜
- 8、31、52、59 電荷蓄積層
- 9 ブロック絶縁膜

- |                              |                          |
|------------------------------|--------------------------|
| 10, 33, 53, 60 制御ゲート (ワード線)  | 26 素子分離領域                |
| 11, 34 ゲートキャップ絶縁膜            | 32 インターポリ絶縁膜             |
| 12, 35 ゲート側壁絶縁膜              | 50, 57 半導体基板             |
| 13, 36 メモリセルゲート              | 51, 58 ソース・ドレイン拡散層       |
| 14, 18, 21, 37 ソース・ドレインN型拡散層 | 55 66 ビット線コンタクト          |
| 15, 16, 38, 39 ゲート電極         | 67 共通ソース線コンタクト           |
| 17 ゲート絶縁膜                    | 68 層間絶縁膜                 |
| 19 データ転送線 (ビット線)             | BL, BL1, BL2 ビット線、データ転送線 |
| 20, 22 コンタクト                 | GSL, SSL ブロック選択線         |
| 23 ソース線                      | 10 M0~M15, M0'~M2' メモリセル |
| 24 層間膜                       | S1, S2 選択トランジスタ          |
| 25 絶縁膜保護層                    | Source 共通ソース線            |
|                              | WL0~WL15 データ選択線 (ワード線)   |

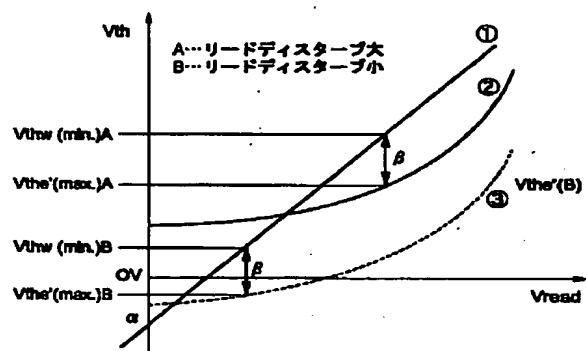
【図1】



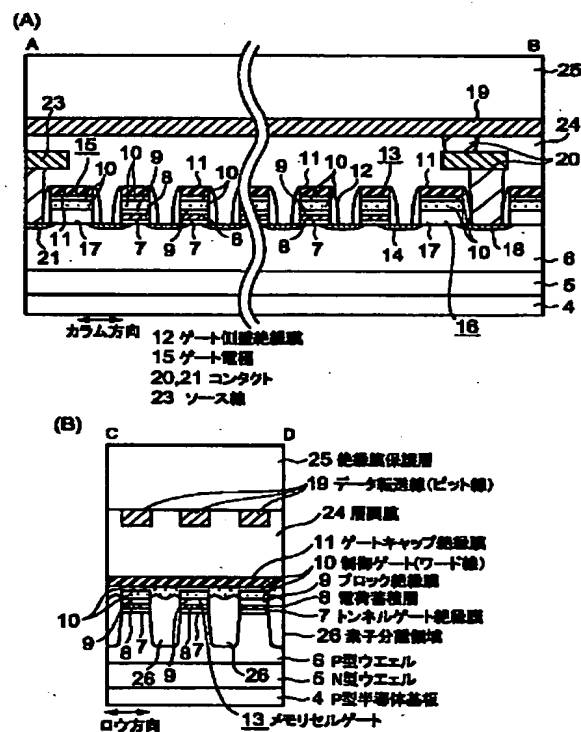
【図2】



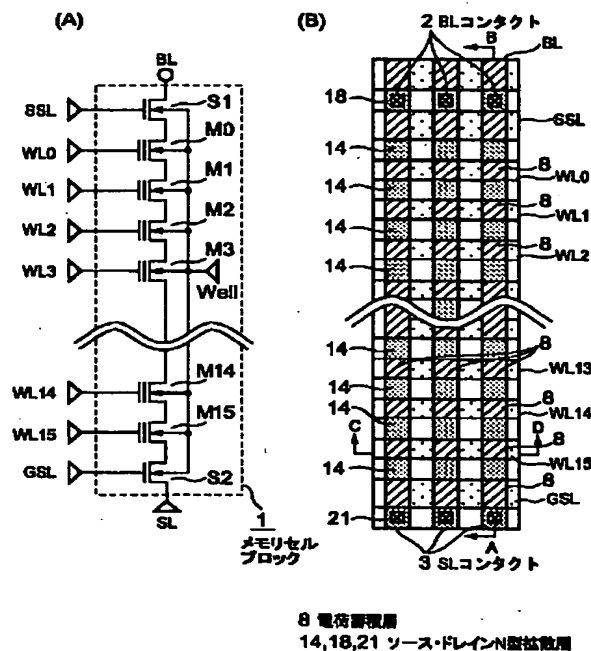
【例 3】



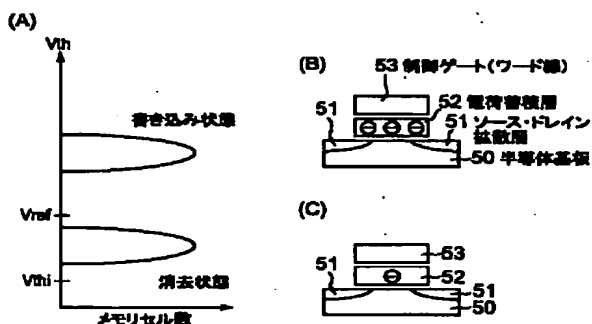
【図 5】



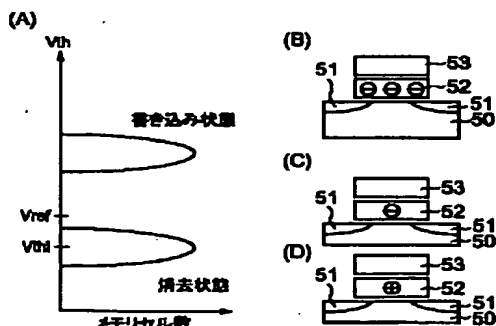
【図4】



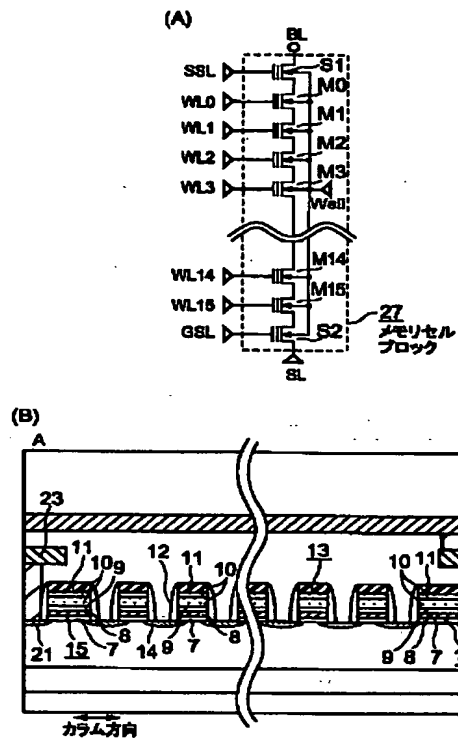
【図8】



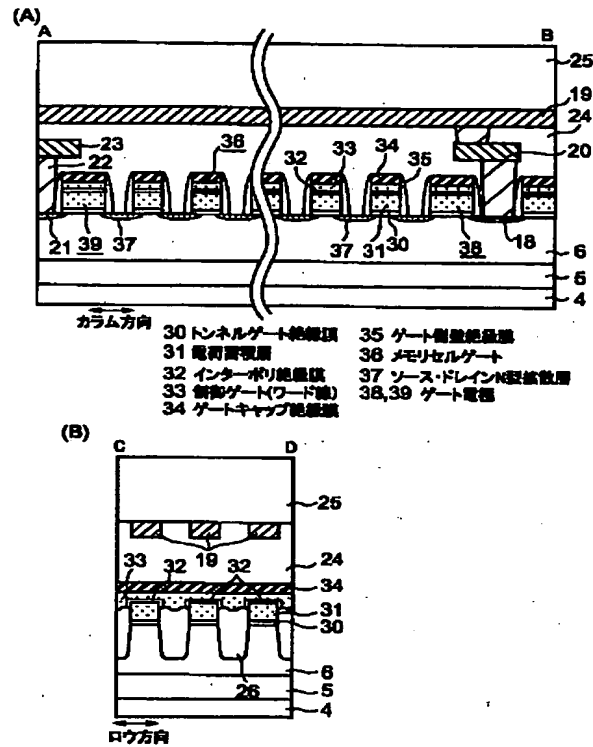
【図9】



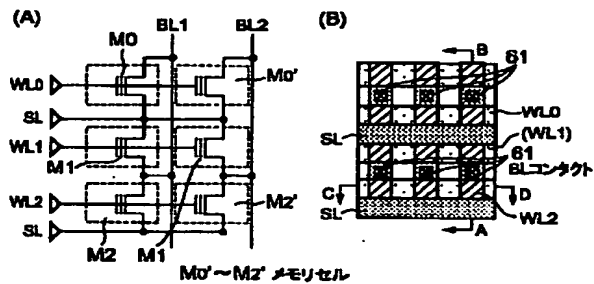
【図6】



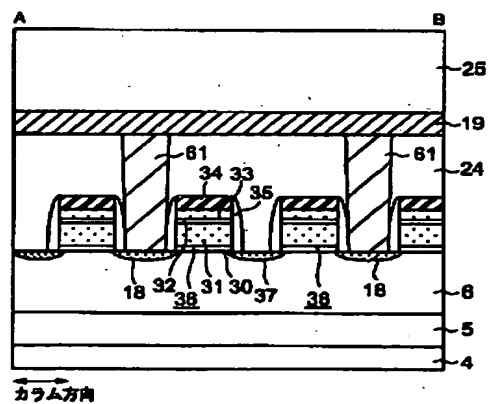
【図7】



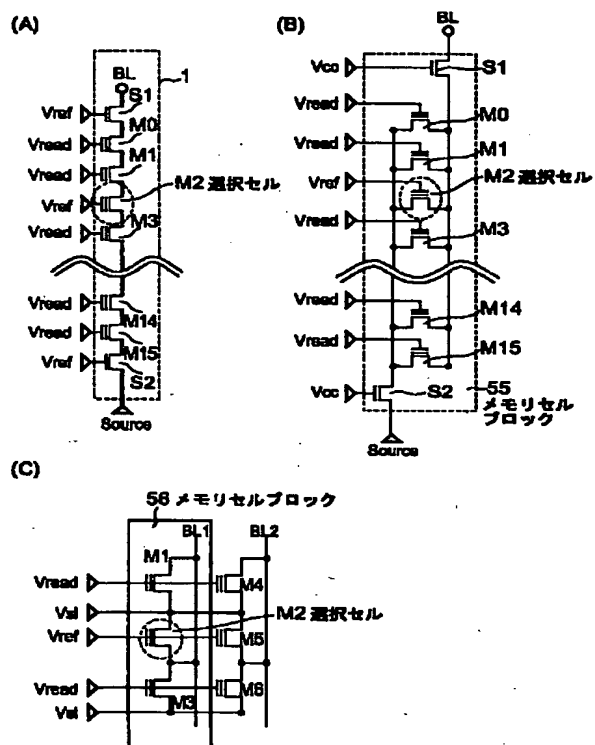
【図14】



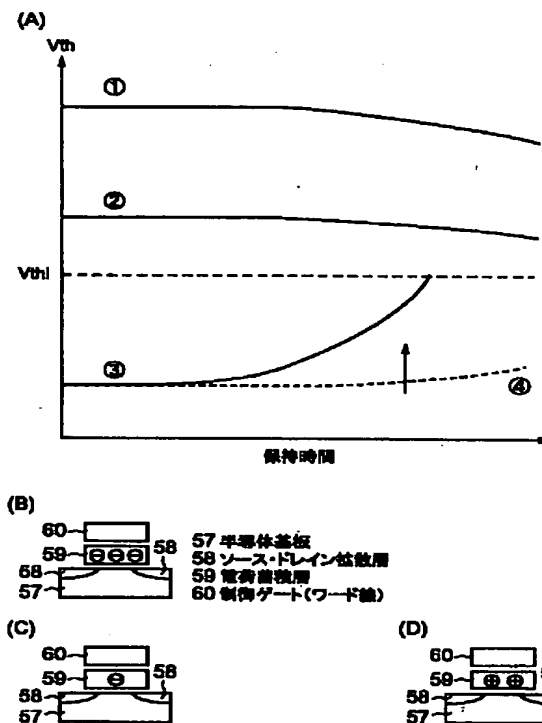
【図15】



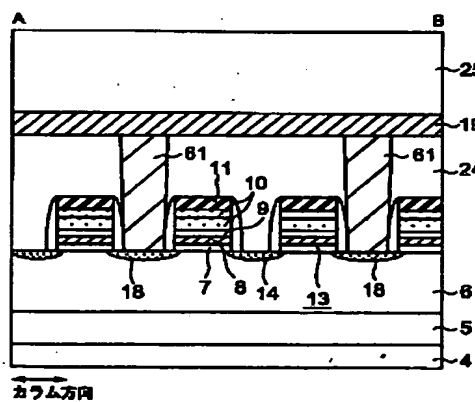
【図10】



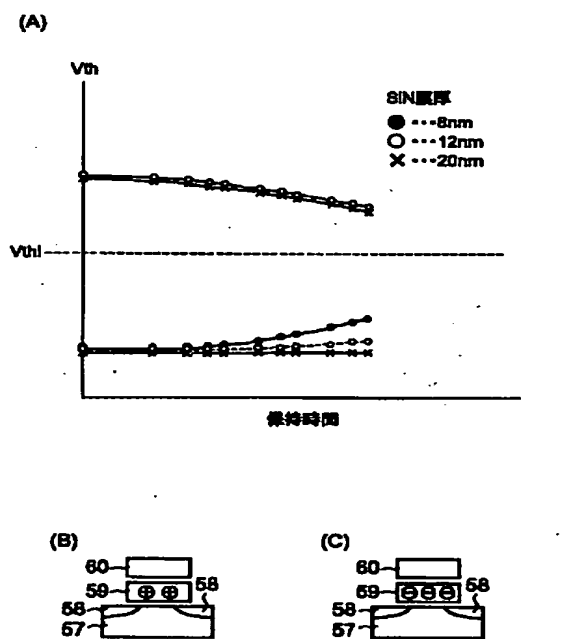
【図11】



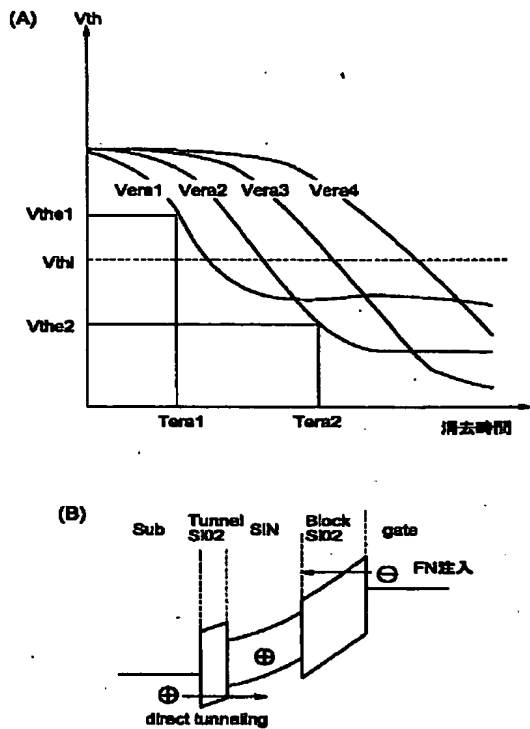
【図16】



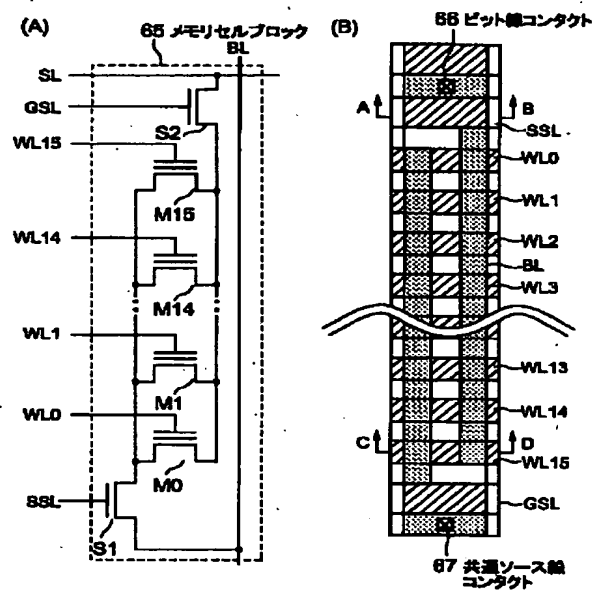
【図13】



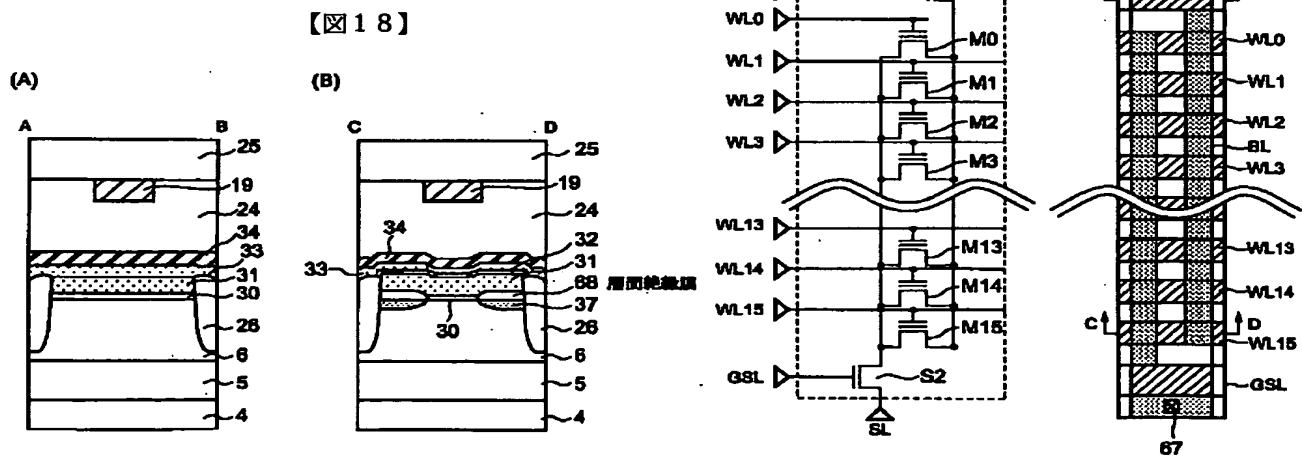
【図12】



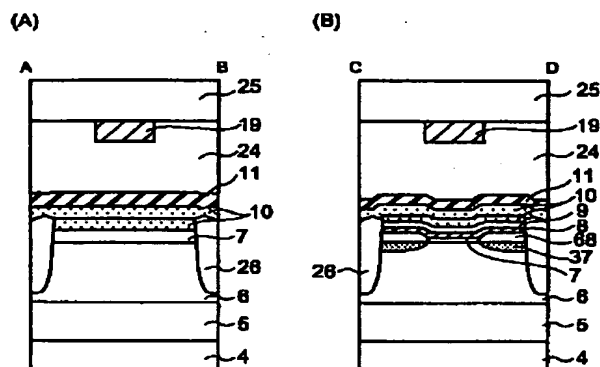
【図17】



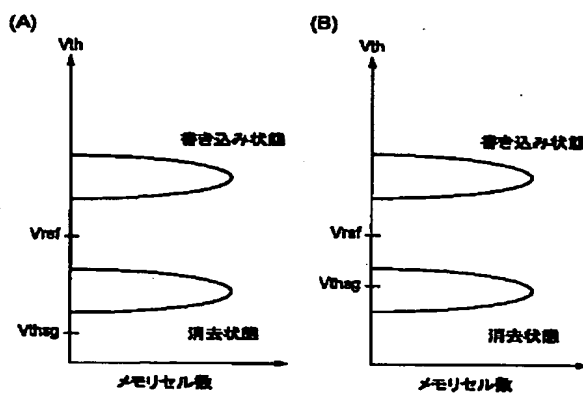
【図19】



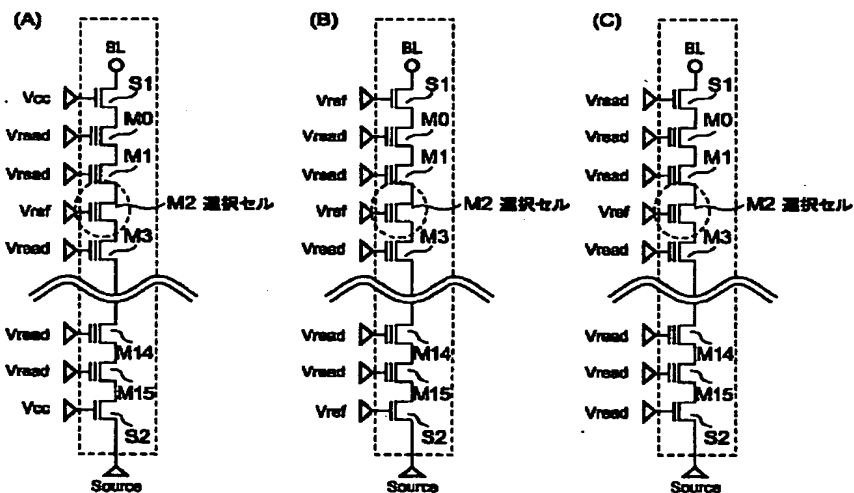
【図20】



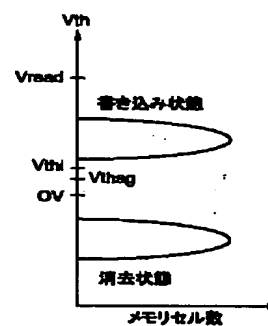
【図21】



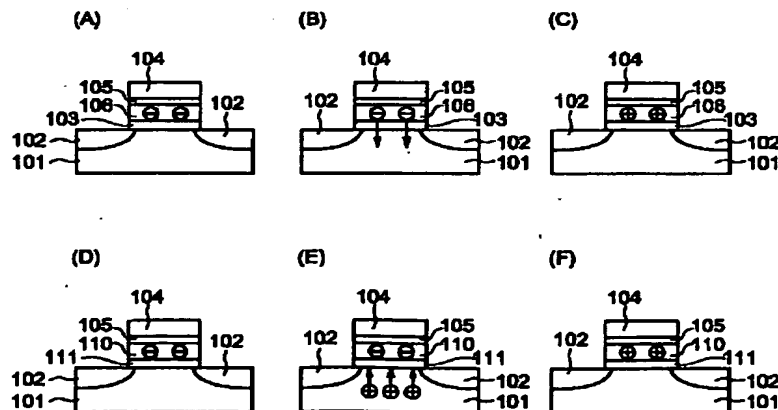
【図22】



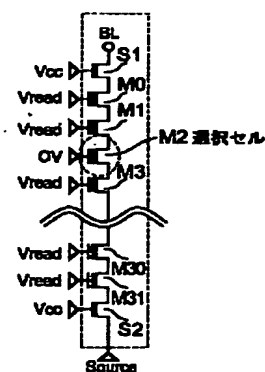
【図27】



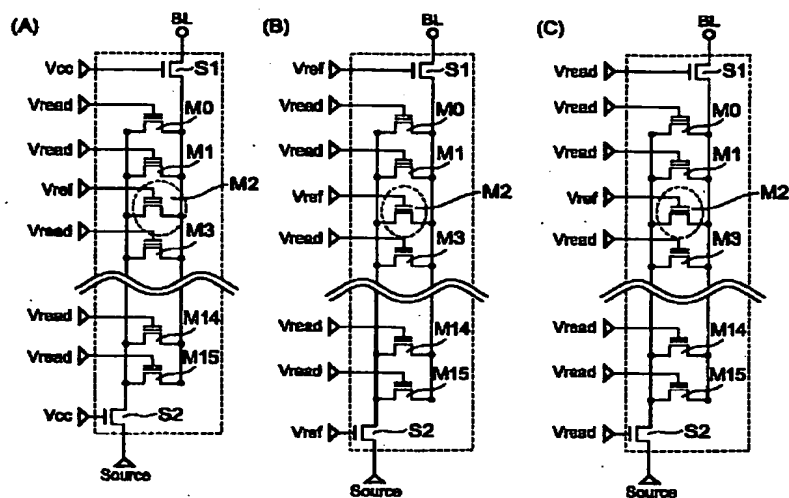
【図25】



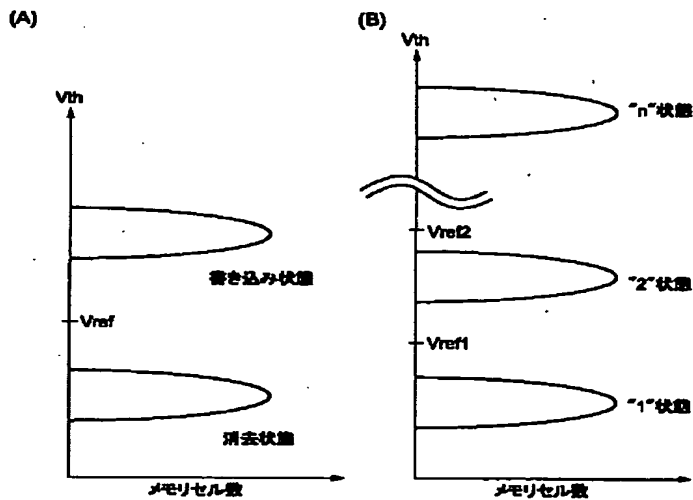
【図28】



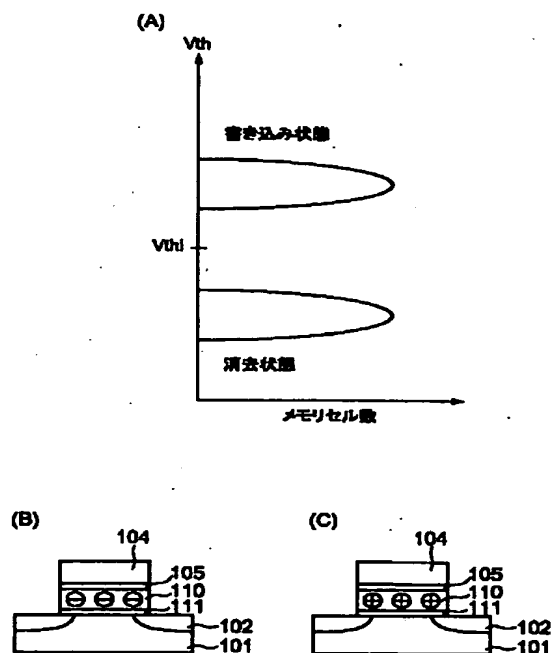
【図23】



【図24】

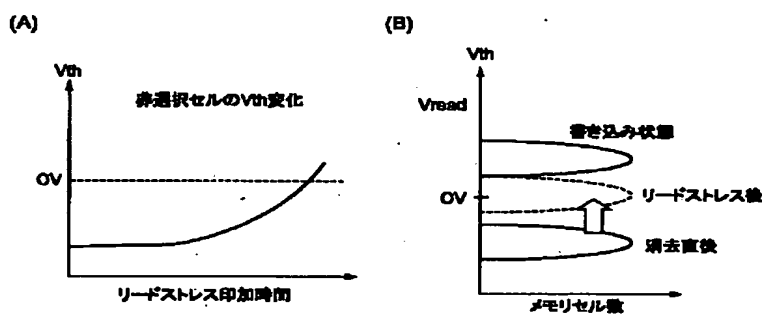


【図2.6】





【図29】



フロントページの続き

(51)Int.Cl.<sup>1</sup>

H01L 29/788  
29/792

識別記号

F I

キーワード(参考)

Fターム(参考) 5B025 AA03 AB01 AC01 AD05 AE08  
5F083 EP02 EP18 EP23 EP33 EP34  
EP49 EP55 EP56 EP76 EP77  
EP79 ER02 ER09 ER11 GA12  
JA04 JA05 JA19 JA35 JA36  
JA39 JA40 JA53 JA56 KA08  
KA13 LA21 MA06 MA20 NA01  
PR40 PR44 PR54 ZA05 ZA21  
5F101 BA02 BA29 BA35 BA36 BA45  
BB04 BC01 BC11 BD22 BD33  
BD34 BD36 BE02 BE05 BE07  
BF05

25

30